



安路科技 EAGLE 系列 FPGA 数据手册

DS300 (v3.5) 2019 年 3 月

Confidential

目 录

| | |
|----------------------------|----|
| 目 录..... | I |
| 1 简介..... | 1 |
| 1.1 EAGLE 器件系列特性..... | 1 |
| 1.2 EAGLE 器件介绍..... | 3 |
| 2 EAGLE 架构介绍..... | 4 |
| 2.1 PFB 模块..... | 5 |
| 2.1.1 SLICE..... | 6 |
| 2.1.2 PFB 操作模式..... | 7 |
| 2.1.3 寄存器..... | 8 |
| 2.1.4 互连（Routing）..... | 8 |
| 2.2 嵌入式存储器模块（BRAM）..... | 9 |
| 2.2.1 简介..... | 9 |
| 2.2.2 RAM 存储器模式..... | 11 |
| 2.2.3 RAM 存储器模式下的端口信号..... | 11 |
| 2.2.4 RAM 存储器模式下的常见配置..... | 13 |
| 2.2.5 FIFO 模式..... | 17 |
| 2.2.6 BRAM32K..... | 20 |
| 2.3 时钟资源..... | 22 |
| 2.3.1 全局时钟..... | 22 |
| 2.3.2 输入输出时钟..... | 24 |
| 2.3.3 快速时钟..... | 25 |
| 2.4 锁相环 PLL..... | 26 |
| 2.4.1 简介..... | 26 |

| | |
|--------------------------------|----|
| 2.4.2 动态相移 | 28 |
| 2.4.3 动态配置 | 28 |
| 2.4.4 时钟反馈模式 | 30 |
| 2.5 数字信号处理 (DSP) | 32 |
| 2.5.1 体系结构 | 32 |
| 2.5.2 操作模式 | 35 |
| 2.6 输入输出逻辑 (IOL) | 36 |
| 2.6.1 输入寄存器 | 36 |
| 2.6.2 输出寄存器 | 40 |
| 2.7 输入输出缓冲器 (IOB) | 44 |
| 2.7.1 IOB 简介 | 44 |
| 2.7.2 高速 LVDS 接口 | 45 |
| 2.7.3 I/O 分组 | 46 |
| 2.7.4 兼容 5V 输入 | 47 |
| 2.8 电源监控模块 | 50 |
| 2.9 EAGLE FPGA 配置说明 | 51 |
| 2.9.1 配置模式 | 51 |
| 2.9.2 配置流程 | 53 |
| 2.9.3 MSPI 配置模式 | 55 |
| 2.9.4 从动串行配置模式 | 56 |
| 2.9.5 串行配置模式级联 | 58 |
| 2.9.6 从动并行配置模式 | 60 |
| 2.9.7 主动并行配置模式 | 62 |
| 2.9.8 JTAG 配置模式 | 62 |
| 2.9.9 MSPI DUAL BOOT 功能 | 63 |
| 2.9.10 MSPI MULT BOOT 功能 | 63 |
| 2.9.11 FPGA DNA 安全功能 | 64 |

| | |
|-----------------------------------|-----------|
| 2.9.12 FPGA I/O 引脚在配置阶段的设置 | 64 |
| 2.9.13 FPGA I/O 引脚在配置阶段的状态 | 64 |
| 2.10 内嵌 ADC 模块 | 66 |
| 3 直流交流特性 | 67 |
| 3.1 直流电气特性 | 67 |
| 3.1.1 最大绝对额定值 | 67 |
| 3.1.2 推荐基本操作条件 | 67 |
| 3.1.3 基本供电要求 | 68 |
| 3.1.4 静态供电电流 ^{1,2} | 69 |
| 3.1.5 热插拔规格 | 69 |
| 3.1.6 上电复位电压阈值 | 70 |
| 3.1.7 I/O 直流电气特性 | 70 |
| 3.1.8 I/O 管脚电容 | 71 |
| 3.1.9 单端 I/O 直流电学特性 | 71 |
| 3.1.10 差分 I/O 电学特性 | 72 |
| 3.1.11 电源监测模块 | 72 |
| 3.2 交流电气特性 | 73 |
| 3.2.1 时钟性能 | 73 |
| 3.2.2 锁相环(PLL)规格 | 73 |
| 3.2.3 嵌入数字信号处理模块 (DSP) 规格 | 74 |
| 3.2.4 存储器模块 (BRAM) 规格 | 74 |
| 3.2.5 高速 I/O 接口性能 | 75 |
| 3.2.6 配置模块和 JTAG 规格 | 76 |
| 3.2.7 ADC 性能 | 76 |
| 4 引脚和封装 | 77 |
| 4.1 引脚定义和规则 | 77 |

| | |
|----------------------------|-----------|
| 4.2 IO 命名规则..... | 77 |
| 4.3 EG4X20BG256 引脚说明 | 78 |
| 4.4 EG4A20BG256 引脚说明 | 83 |
| 4.5 封装信息..... | 88 |
| 4.5.1 fbga256 封装规格 | 88 |
| 5 订购信息..... | 89 |
| 6 版本信息..... | 91 |
| 免责声明 | 92 |

1 简介

1.1 EAGLE 器件系列特性

■ 灵活的逻辑结构

- 共有 4 种器件，逻辑规模从 8640 到 49,000 LUTs，用户 IO 数量从 95 到 456.

■ 低功耗器件

- 先进的 55nm 低功耗工艺
- 静态功耗低至 5mA

■ 支持分布式和嵌入式存储器

- 最大支持 392 Kbits 分布存储器
- 最大支持 2 Mbits 嵌入块存储器
- 嵌入块存储器容量 9 Kbits，可配置为真双口，8Kx1 到 512x18 模式
- 专用 FIFO 控制逻辑
- 嵌入块存储器容量 32 Kbits，可配置为真双口，可设置为 2K*16 或 4K*8

■ 可配置逻辑模块(PLBs)

- 优化的 LUT4/LUT5 组合设计
- 双端口分布式存储器
- 支持算数逻辑运算
- 快速进位链逻辑
- 单一 Slice 支持 2 个 M18x18 或 4 个 M9x9

■ 源同步输入/输出接口

- 输入/输出单元包含 DDR 寄存器
- Generic DDRx1
- Generic DDRx2

■ 高性能，灵活的输入/输出缓冲器

- 可配置支持以下单端标准
- LVTTTL
- LVCMOS (3.3/2.5/1.8V/1.5/1.2V)
- PCI
- SSTL 3.3V (Class I and II)
- SSTL 1.8V and 1.5V (Class I and II)
- HSTL 1.8V and 1.5V (Class I and II)
- 通过配置支持以下差分标准
- LVDS , Bus-LVDS, MLVDS, RSDS, LVPECL
- 支持热插拔
- 可配置上拉/下拉模式
- 片内 100 欧姆差分电阻

■ 时钟资源

- 优化全局时钟的 2 路快速时钟
- 针对高速 I/O 接口设计的 2 路 IOCLK
- 16 路全局时钟
- 最多支持 4 个 PLLs 用于频率综合
- 5 路时钟输出
- 分频系数 1 到 128
- 支持 5 路时钟输出级联
- 动态相位选择

■ 配置模式

- 主模式串行 SPI (MSPI)
- 从模式串行 (SS)
- 主模式并行 x8 (MP)
- 从模式并行 x8 (SP)
- JTAG 模式 (IEEE-1532)
- 每个芯片拥有唯一的 64 位 DNA
- BSCAN
 - 兼容 IEEE-1149.1
- 封装
 - TQFP/BGA/QFN
- 嵌入式硬核 IP
- ADC
 - 12 比特逐次逼近寄存器型 (SAR)
 - 8 个模拟输入
 - 1MHz 采样速率 (MSPS)
- 集成电压监控模块
- 内置环形振荡器

表 1-1- 1 EAGLE FPGA 系列成员

| General feature | EAGLE_10 | EAGLE_20 | EAGLE_50 |
|---------------------------|----------|-----------|-----------|
| Number of LUTs | 8,640 | 19,600 | 49,000 |
| Number of FFs | 8,640 | 19,600 | 49,000 |
| Equivalent Number of LUTS | 10,368 | 23,520 | 58,800 |
| Number of Dis-Ram bits | 69,120 | 156,800 | 392,000 |
| Number of BRAM9K | 48 | 64 | 96 |
| Number of BRAM32K | 2 | 16 | 32 |
| Total BRAM bits | 507,904 | 1,114,112 | 1,933,312 |
| Number of DSP | 21 | 29 | 144 |
| PLL | 2 | 4 | 4 |
| Low-skew gclock in chip | 16 | 16 | 16 |
| User IO Banks | 8 | 8 | 8 |
| Maximum user Ios | 184 | 270 | 456 |

表 1-1- 2 EAGLE FPGA 封装

| Packages | EAGLE_10 | EAGLE_20 | EAGLE_50 |
|---------------------------------|----------|----------|----------|
| 144 TQFP (20x20, 0.5mm pitch) | 95/23 | | |
| 256 fpBGA (17x17, 1.0mm pitch) | 184/92 | 193/90 | 187/90 |
| 780 fpBGA (29x29, 1.0mm pitch) | | | 456/190 |

193/90 表示用户可用 IO 数/用户可用差分输出 (LVDS) 对

1.2 EAGLE 器件介绍

安路科技的 EAGLE 系列 FPGA 有 3 个器件，定位低成本、低功耗可编程市场。EAGLE 器件旨在用于大批量，成本敏感的应用，使系统设计师在降低成本的同时又能够满足不断增长的带宽要求。

EAGLE 器件系列建立在一个优化的低功耗工艺基础之上，并通过最低的成本实现较高的功能性。针对无线、有线、广播、工业用户以及通信等行业中的低成本的小型应用，EAGLE 器件无疑是最理想的选择。

安路科技提供丰富的设计工具帮助用户有效地利用 EAGLE 平台实现复杂设计。业界领先的综合和布局布线工具，为用户设计高质量产品提供有力保障。

EAGLE 系列器件由查找表逻辑模块 (PLB) 阵列构成核心资源, 输入输出缓冲器分布在四边。嵌入式块存储单元 (BRAM9K) 和数据信号处理模块 (DSP) 嵌在 PLB 中间。

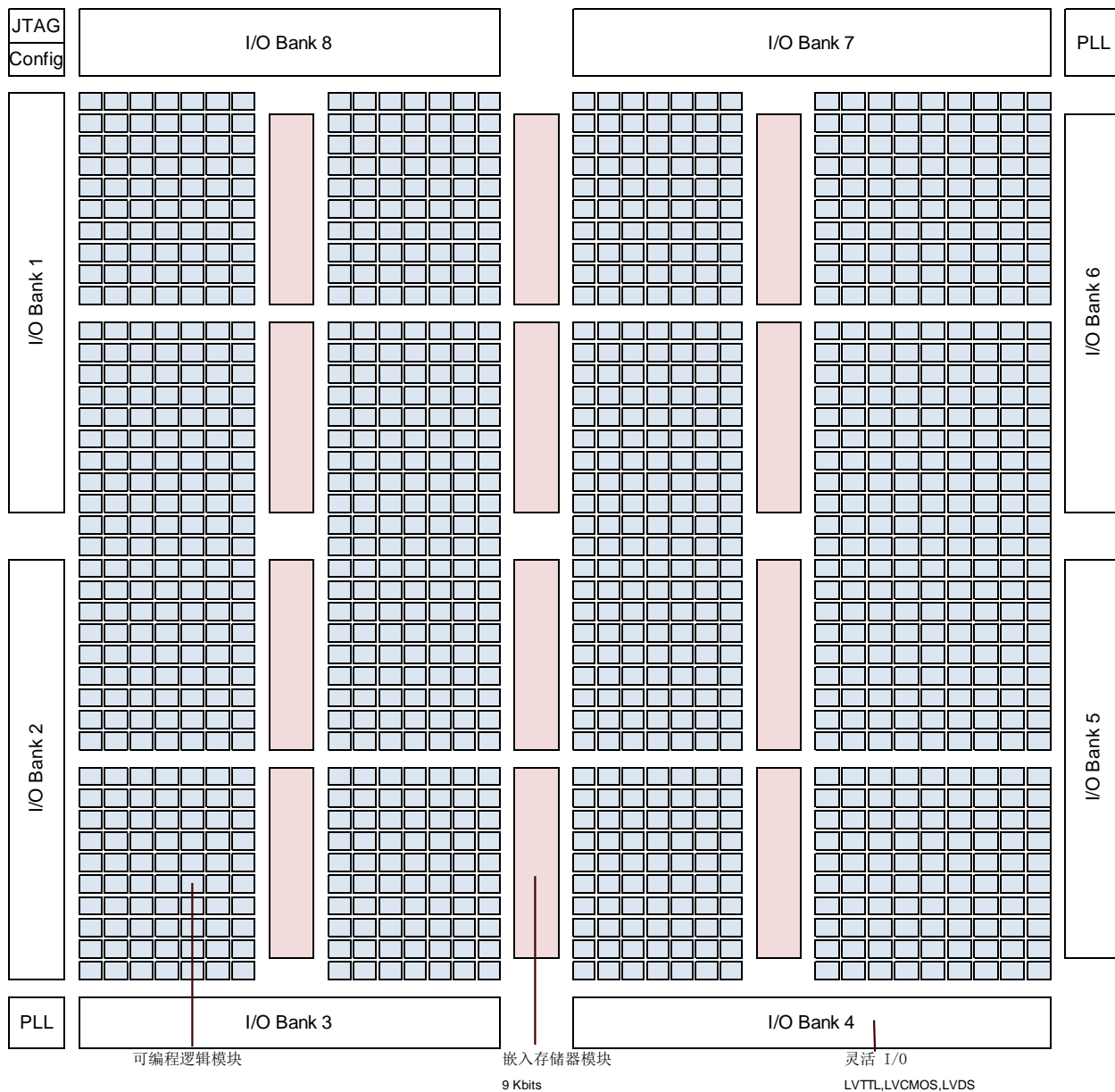


图 2-1 EAGLE-10k 器件简化框图

查找表逻辑模块分为两种，逻辑可编程模块（LSLICE）和存储逻辑可编程模块（MSLICE）。两种模块均支持逻辑、算数功能，不同的是MSLICE支持分布式RAM和ROM功能。逻辑可编程模块（LSLICE）和存储逻辑可编程模块（MSLICE）均经过设计优化，便于用户快速有效地实现复杂设计。

EAGLE 系列器件包含多列嵌入式存储器模块 (BRAM)，存储器模块规模为 9K，支持快速数据访问。每一个存储模块可独立配置为 1-18 位宽的单口或双口应用。

EAGLE 的输入输出缓冲器（I/O Buffer）划分为 8 个组，支持单端和双端的多种电平标准。左右的 I/O 可以配置成 LVDS 发送/接收对。

EAGLE 系列内部嵌有 2~4 个多功能 PLL 块，分布在器件四角，有专门的时钟线连接到两个 PLL 输入。PLL 具有对时钟分频/倍频/移相等功能。

2.1 PFB 模块

可编程逻辑块（PLB）按照行/列规则排布成二维阵列，每个 PLB 包括可编程互连（Routing）和可编程功能块（Programmable Functional Block, PFB）。PFB 是 FPGA 的可编程功能核心。EAGLE 器件内部 PFB 可实现：逻辑，算术，分布式 RAM（distribute RAM），ROM 功能以及信号锁存。PFB 内部包含 4 个 SLICE，编号 0~3。SLICE 0,1 为 MSlice 类型，SLICE 2,3 为 LSlice 类型。

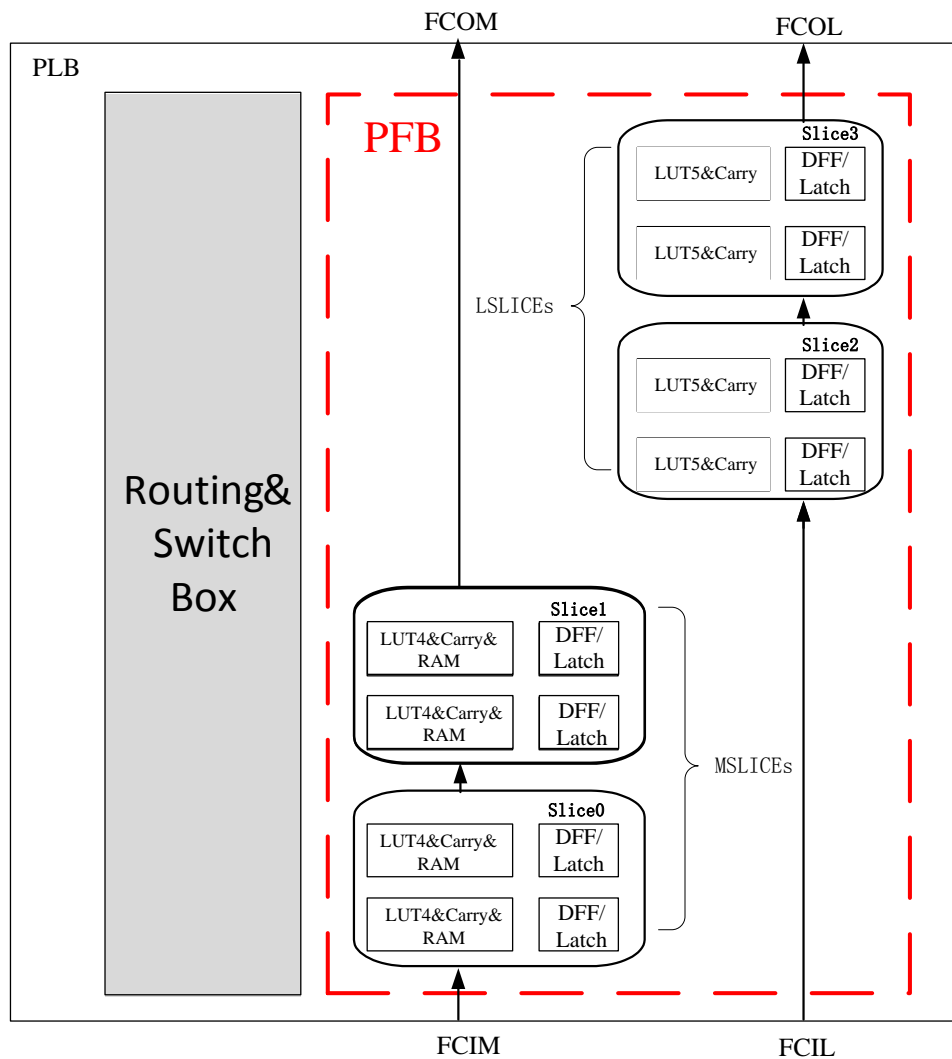


图 2-1- 1 可编程功能块（PFB）结构图

2.1.1 SLICE

EAGLE PFB 内包含两种 SLICE：MSLICE 和 LSLICE。

a) MSLICE

MSLICE 包含 2 个 LUT4s 和两个寄存器以及 2 级进位链，MSLICE 额外可配置成基于 LUT 的分布式 RAM (distribute RAM) 功能。PFB 内的 SLICE 0,1 为 MSLICE 类型，可组合配置成为 16x4 的 RAM。MSLICE 内部逻辑可实现 LUT4s 间的连接，可以实现输入数大于 4 的函数，如 LUT5。两个 MSLICE 组合可实现 LUT6。

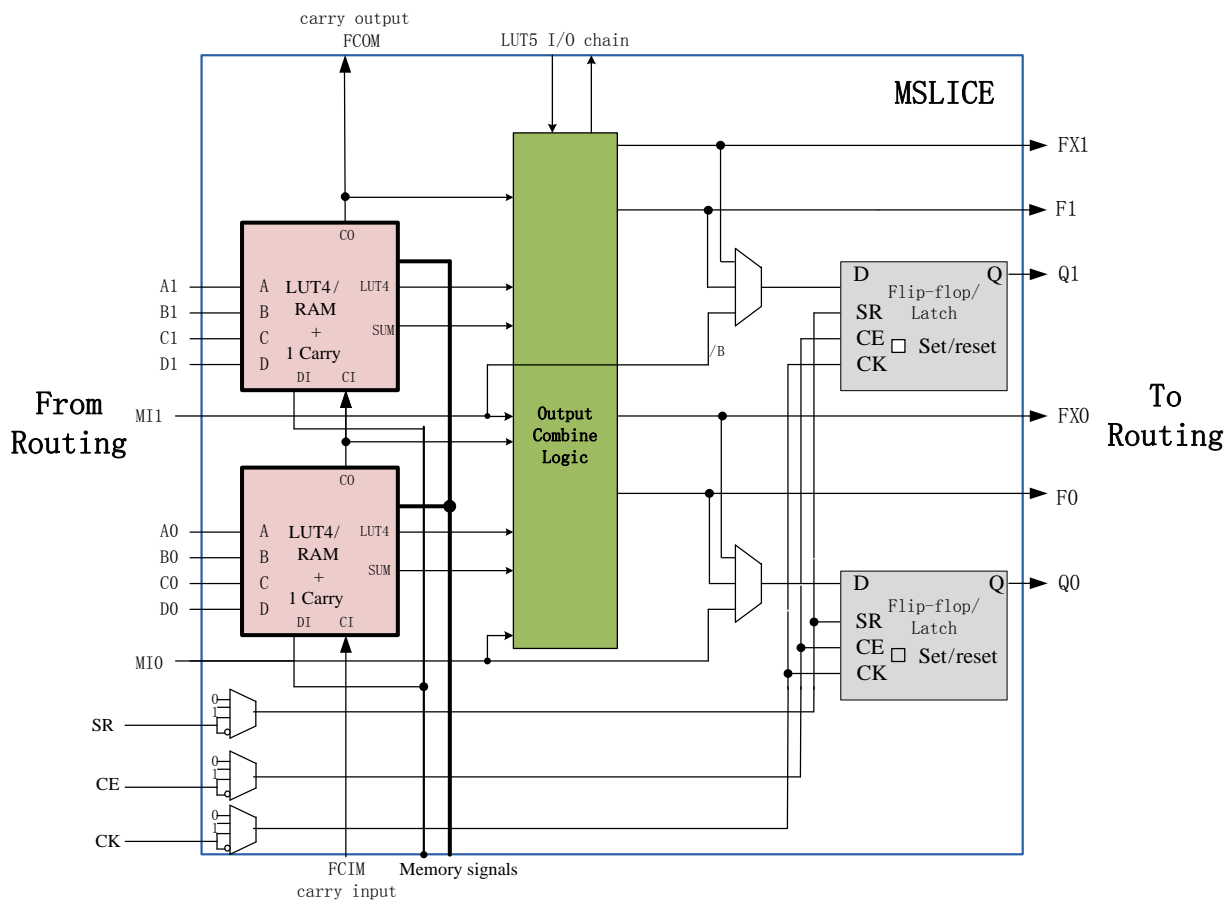


图 2-1- 2 MSLICE 结构图

MSLICE 内部逻辑见 MSLICE 结构图图 2-1- 2。内部有两个 4 输入查找表（LUT4），并带有 RAM 写入译码器，结合 PFB 内部的分布式 RAM 控制逻辑，每个 LUT4 可实现 16x1 bits RAM 存储器，2 个 MSLICE 配合一个 RAM 控制器实现 16x4 的双口 RAM。MSLICE 中每个 LUT4 结合内部进位逻辑以及进位输入（FCIM）可以实现 1 位全加器。一个 MSLICE 可实现 2 位加/减法，并实现快速进/借位输出（FCOM）。

MSLICE 和 LSLICE 内部寄存器相同，可配置成 DFF 或者 LATCH。

b) LSLICE

LSLICE 包含 2 个增强型 LUT5s 和两个寄存器以及 4 级进位链。PFB 内的 SLICE 2,3 为 LSLICE 类型。LSLICE 内部逻辑可实现：将一个 LUT5s 拆成 2 个 LUT4s；实现更多输入函数，如 LUT5，LUT6。两个 LSLICE 组合可实现 LUT7。

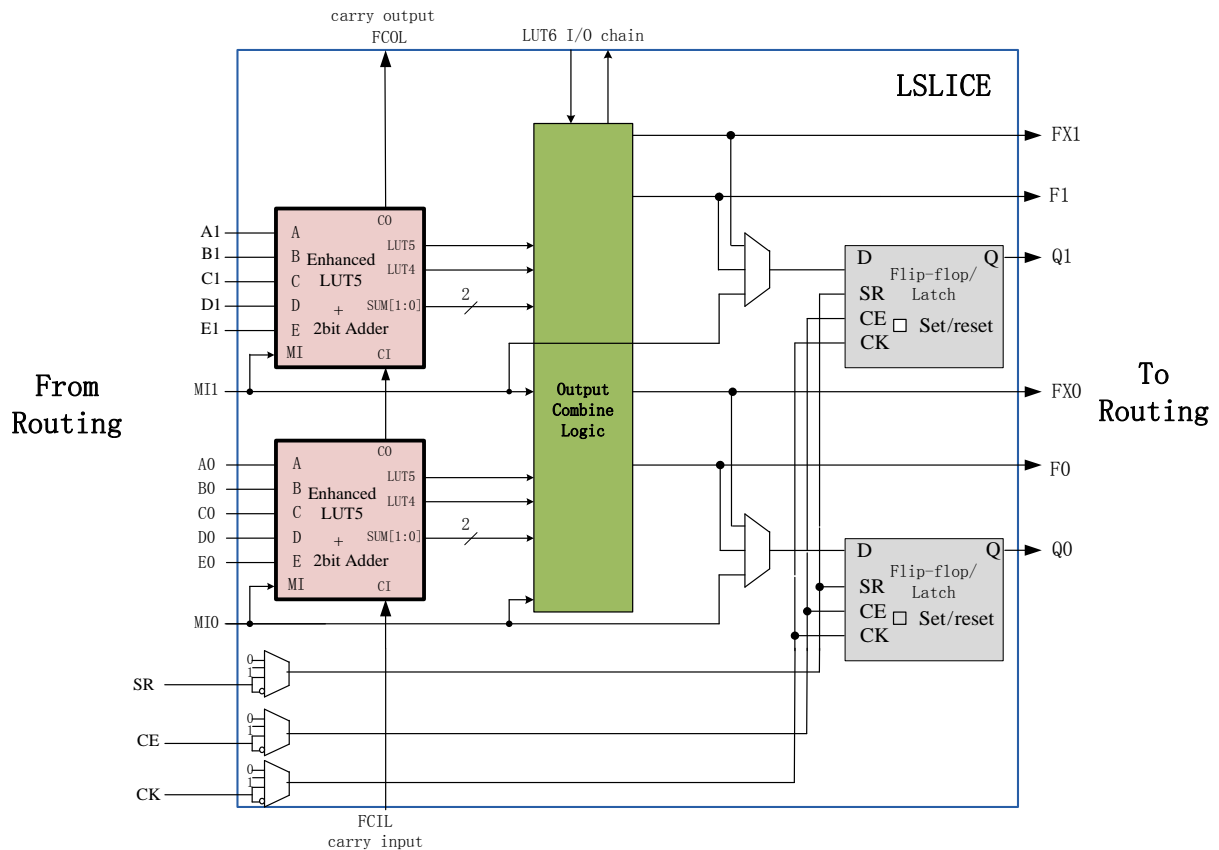


图 2-1- 3 LSLICE 结构图

LSLICE 内部逻辑见图 2-1- 3 错误!未找到引用源。。内部有 4 个 4 输入查找表（LUT4），以及选择逻辑，可组合实现多种逻辑功能：4 个 LUT4；2 个 LUT4 + 1 个 LUT5；2 个 LUT5；一个 LUT6 等。每个 enhanced LUT5 结合内部进位逻辑以及进位输入可以实现 2 位全加器。一个 LSLICE 可实现 4 位加/减法，并实现快速进/借位输出（FCOL）。

2.1.2 PFB 操作模式

MSLICE 有 4 种操作模式：逻辑，算术，分布式 RAM 和 ROM。

LSLICE 有 3 种操作模式：逻辑，算术和 ROM。

a) 逻辑模式

在逻辑模式中，MSLICE 中的 LUT4 配置成 4 输入组合逻辑查找表，任意 4 输入函数都可以用这个查找表实现。LSLICE 中的 enhanced LUT5 可配置成多种组合的逻辑查找表。SLICE 内的 LUT 还可以

通过内部输出组合电路级联成更大的查找表。

表 2-1- 1 常见逻辑实现

| | | |
|------|----------|------------|
| LUT5 | 1 MSLICE | 1/2 LSLICE |
| MUX4 | 1 MSLICE | 1/2 LSLICE |
| LUT6 | 2 MSLICE | 1 LSLICE |
| LUT7 | | 2 LSLICE |

b) 算术模式

算术模式会利用 SLICE 内部快速进位链实现快速、高效的算术功能，MSLICE 和 LSLICE 都支持算术模式。可支持的算术逻辑有：加法，减法，带控制选择的加/减法器，计数器，乘法器以及比较器。

PFB 内部共有两条进位链，分别连接纵向 MSLICE 和纵向 LSLICE。可级联纵向相邻的 PFB 实现宽比特位算术逻辑。

c) 分布式 RAM 模式

MSLICE 可配置成此模式，两个 MSLICE：SLICE0 和 SLICE1 相结合可配置成 16x4 的简单双口 RAM（一口写/一口读）。

d) ROM 模式

所有 SLICE 在 LUT 逻辑下可用作 ROM 模式，用户可以通过软件设置 ROM 初值。

2.1.3 寄存器

PFB 内每个 SLICE 包含 2 个可配置寄存器。可锁存 LUT 的输出或者来自互连的 MI 输入。寄存器配置选项：

- 边沿触发的锁存器（DFF） 或 电平使能锁存器（LATCH）
- 同步或异步进行复位 0 或置位 1
- 是否带有 ClockEnable 使能
- CLK/CE/SR 带有上升沿/下降沿/0/1 选择

2.1.4 互连（Routing）

可编程互连实现 FPGA 内部各个功能块之间的信号传输。EAGLE 系列器件内部拥有丰富的互连资源，包括线间选通开关、线缓冲器以及信号走线。EAGLE 系列互连线全部带有缓冲器，从而实现高速信号传输和可靠的信号完整性。

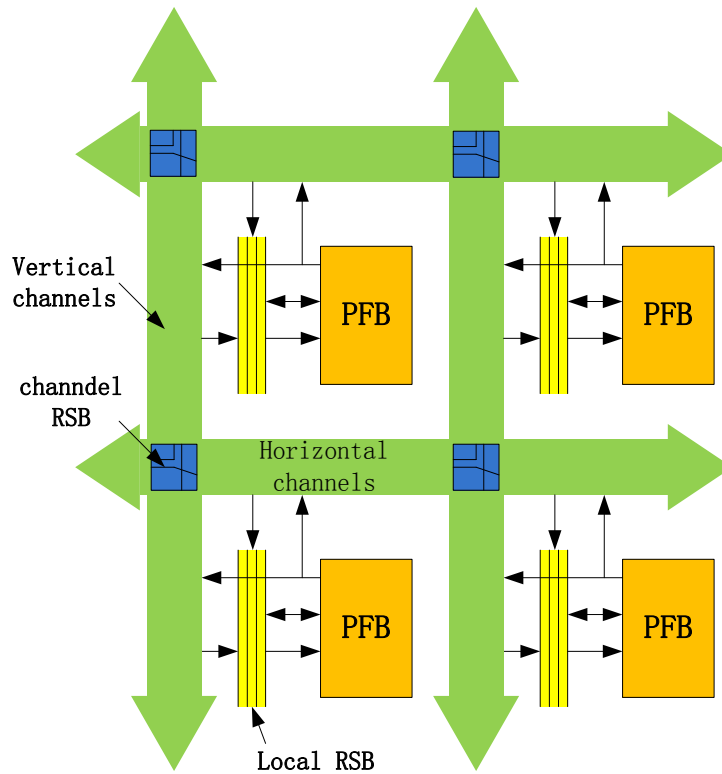


图 2-1- 4 EAGLE 互连架构

PFB 间信号通过水平通道和垂直通道传输。PFB 可以直接驱动水平/垂直通道。通道之间通过 channel RSB(routing switch box) 进行切换。通道上传输的信号通过 local RSB 进入 PFB。

2.2 嵌入式存储器模块（BRAM）

2.2.1 简介

EAGLE 系列器件支持嵌入式存储器模块（BRAM）。EAGLE 中包括两类 BRAM：BRAM9K 和 BRAM32K。

BRAM9K 每块容量 9Kbits，多个 BRAM9K 模块排成一列，按列分布在 PFB 的阵列中。每个 BRAM9K 的高度和 2.25 个 PFB 相当。4 个 BRAM9K 等于 9 个 PFB 的高度。

BRAM32K 每块容量 32Kbits，分布在 IO 空隙中。

BRAM9K 可实现：

- 单口 RAM/ROM
- 双口 RAM
- 简单双口 RAM（也称为伪双口）
- FIFO（EMB9K 内嵌有硬件 FIFO 控制器）

BRAM9K 模块支持的功能特色有：

- 9216 （9K）bits / 每块
- A/B 口时钟独立
- 可单独配置 A/B 口数据位宽，真双口从 x1 到 x9，支持 x18 简单双口（一写一读）
- 9 或 18 位写操作时带有字节使能（Byte Enable）控制
- 输出锁存器可选择（支持 1 级流水线）
- 支持 RAM/ROM 模式下数据初始化（通过初始化文件在配置过程中对 BRAM9K 数据初始化）
- 支持多种写操作模式。可选择只写（Normal），先读后写（Read before Write），写穿通（Write through）三种模式。

表 2-2- 1 BRAM9K 特色

| 类别 | 特性 |
|-------------------------------|---|
| 容量 | 9K |
| 配置(深度 x 位宽) | 8192 x 1 4096 x 2 2048 x 4 1024 x 8 或 9 512 x 16 或 18 |
| 奇偶位（Parity bits） | 8+1 16+2 |
| 字节使能（Byte enable） | 有，可选择 |
| 输入地址/数据寄存器 | 有 |
| 单口模式(Single-port mode) | 支持 |
| 简单双口模式(Simple dual-port mode) | 支持 |
| 真双口模式(True dual-port mode) | 支持 |
| ROM 模式 | 支持 |
| FIFO 模式 | 支持 |
| 数据输出寄存器 | 有，可选择 |
| 独立数据输出寄存器使能 | 有 |
| Read-during-write | 输出旧数据(read before write) 输出写数据（write through） |
| 工作前 RAM 初始化 | 支持 |

字节使能 (Byte Enable)

BRAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能 (Byte Enable[1:0]) 信号分别对应写入数据的 datain[15:8]和 datain[7:0]。

写操作时并行读操作 (Read-during-Write)

EAGLE 系列的 BRAM9K 支持同端口的 read-during-write 。read-during-write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，读出同一地址的数据到输出端口。而默认非 rdw 选择，输出数据保持不变 (No change)。

RDW 模式下用户有两种选择：读出旧数据(Read Before Write)；读出新数据即正要写入的数据(Write Through)。

2.2.2 RAM 存储器模式

BRAM9K 按工作模式分为 RAM 存储器模式（包括 ROM）和 FIFO 模式。两种模式下 BRAM9K 用户端口名称和设置略有不同。

BRAM9K 在 RAM 模式下是 A/B 口独立的双口 RAM，支持多种模式的同步 RAM 和 ROM 操作。

2.2.3 RAM 存储器模式下的端口信号

BRAM9K 的控制信号、时钟输入信号 A/B 口完全独立，输入控制信号有：

片选信号 (ChipSelect)

时钟使能 (Clock Enable)

输入/输出寄存器复位控制信号 (RST)

写/读操作 (WE)

数据输出寄存器锁存使能 (OCE)

字节使能 (Byte Enable[1:0])。

表 2-2- 2 为控制信号逻辑

| 操作 | CLK | CS | ClockEnable | RST | WE |
|------------|-----|----|-------------|-----|----|
| 写操作 | 上升沿 | 1 | 1 | 0 | 1 |
| 读操作 | 上升沿 | 1 | 1 | 0 | 0 |
| IDLE | x | 1 | 0 | 0 | x |
| Save power | x | 0 | 0 | 0 | x |

BRAM9K 的端口如下表:

表 2-2- 3 RAM 模式下的端口信号

| A 端口名 | 方向 | 说明 |
|-------------|----|--|
| dia[8:0] | 输入 | A 端口数据输入, 简单双口 18 位输入端口模式时作为低 9 位数据输入 |
| addra[12:0] | 输入 | A 端口地址输入, [12:4]作为 word 地址一直有效, [3:0]取决于 bit 模式。 在 18 位模式时, addra[1:0]复用为字节使能信号 Byte Enable[1:0]。 |
| Doa[8:0] | 输出 | A 端口数据输出, 简单双口 18 位输出端口模式时作为低 9 位数据输出 |
| clka | 输入 | A 端口时钟输入, 默认上升沿有效 (可反向), 简单双口 18 位模式时作为输入地址/数据端口时钟 |
| rsta | 输入 | A 端口复位信号, 默认高有效 (可反向), 可配置同步/异步复位 |
| cea | 输入 | A 端口时钟有效控制信号, 默认高有效 (可反向)。 |
| Wea | 输入 | A 端口写入/读出操作控制, 1 为写入操作, 0 为读出操作; 18 位写入模式时固定为 1。 |
| Csa[2:0] | 输入 | A 端口 3 位片选信号 (可反向), csa[2:0]=3'b111 时 BRAM 被选中进行操作。3 位信号可分别独立设置是否反向。 |
| Ocea | 输入 | A 端口数据寄存器时钟使能, 默认高有效 (可反向)。只有当输出寄存器被使用时 (REGMODE_A= "OUTREG") 才有效。 |
| B 端口名 | 方向 | 说明 |
| dib[8:0] | 输入 | B 端口数据输入, 18 位输入端口模式时作为高 9 位数据输入 |
| addrb[12:0] | 输入 | B 端口地址输入, [12:4]作为 word 地址一直有效, [3:0]取决于 bit 模式 |
| dob[8:0] | 输出 | B 端口数据输出, 18 位输出端口模式时作为高 9 位数据输入 |
| clkb | 输入 | B 端口时钟输入, 默认上升沿有效 (可反向), 简单双口 18 位模式时作为输出地址/数据端口时钟 |
| rstb | 输入 | B 端口复位信号, 默认高有效 (可反向), 可配置同步/异步复位 |
| ceb | 输入 | B 端口时钟有效控制信号, 默认高有效 (可反向)。 |
| Web | 输入 | B 端口写入/读出操作控制, 1 为写入操作, 0 为读出操作; 18 位读出模式时固定为 0。 |
| Csb[2:0] | 输入 | B 端口 3 位片选信号 (可反向), csb[2:0]=3'b111 时 BRAM 被选中进行操作。3 位信号可分别独立设置是否反向。 |
| Oceb | 输入 | B 端口数据寄存器时钟使能, 默认高有效 (可反向)。只有当输出寄存器被使用时 (REGMODE_B= "OUTREG") 才有效。 |

■ 多位片选信号逻辑说明:

BRAM9K 在 RAM 和 FIFO 模式下的 CS 由可反向的 3 位片选输入生成。其逻辑如下图所示(CSA, CSB 在 RAM 模式/CSW, CSR 在 FIFO 模式):

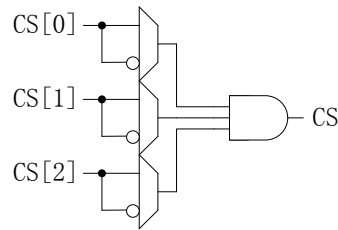


图 2-2-1 多位片选逻辑说明

CS 的配置属性：“SIG”表示对应 CS[x]输入信号直通，“INV”表示信号反向。

利用 3 位 CS 输入反向配置可不用额外逻辑就能实现地址译码，方便对 2~8 块 RAM 进行深度扩展。

■ 18 位模式时的字节使能（Byte Enable）：

BRAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能（Byte Enable[1:0]）信号分别对应写入数据的 datain[16:9]和 datain[8:0]。例如，Byte Enable[1:0]==00，两字节都不会被写入；Byte Enable[1:0]==01，低位字节写入（dia）。在 18 位模式时，字节使能 Byte Enable[1:0]信号和端口 addra[1:0]复用。

■ 写操作时并行读操作（Read-during-Write）

EAGLE 系列的 BRAM9K 支持同端口的 read-during-write。read-during-write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，同时读出同一地址的数据，输出到输出端口。而默认选择只写模式（Normal），输出数据保持不变。

RDW 模式下用户有两种选择：读出旧数据(Read Before Write)；读出新数据(Write Through)。

2.2.4 RAM 存储器模式下的常见配置

a) 单口模式（Single-Port Mode）

单口模式支持对非同时发生的对同一地址的读或写操作。BRAM9K 内部有两套读写控制逻辑分别管理 A 口和 B 口，因此 BRAM9K 可以支持实现两个单口模式的 RAM 或 ROM。通常 ROM 也工作在此模式下。

BRAM9K 在单口模式下支持的位宽

- 8192 x 1（独立的 A 口或 B 口实现）
- 4096 x 2（独立的 A 口或 B 口实现）
- 2048 x 4（独立的 A 口或 B 口实现）
- 1024 x 8, 1024 x 9（独立的 A 口或 B 口实现）
- 512 x 16, 512 x 18（A 口 B 口联合实现）

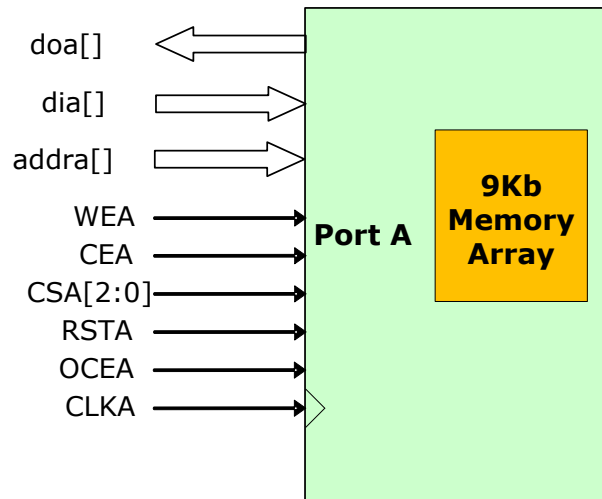


图 2-2- 2 利用 A 口实现的 9 位宽（及以下）单口 RAM

b) 简单双口模式（ Simple Dual-Port Mode）

当用一块 BRAM9K 配置成 18 位写入或 18 位读出时，其不支持真双口模式，支持单口和简单双口模式。简单双口模式的配置连接如下。18 位模式时，A 端口控制信号作为写入控制信号，B 端口控制信号作为读出控制信号。18 位写入时，DIB[8:0]作为高 9 位数据输入，DIA[8:0] 作为低 9 位数据输入；18 位读出时，DOB[8:0]作为高 9 位数据输出，DOA[8:0] 作为低 9 位数据输出。

当用户使用 8/16 位宽时，禁止使用 DIA[9]，DIB[9]，DOA[9]，DOB[9]，防止因为读写位宽不同造成的内部数据映射失配。

表 2-2- 4 9/18 位简单双口模式时数据端口连接关系

| 模式 | BRAM9K RAM 端口 | 用户端口 |
|------------------|---------------|-------------|
| W=18 位 R=18 位 | DIA[8:0] | wdata[8:0] |
| | DIB[8:0] | wdata[17:9] |
| | DOA[8:0] | Rdata[8:0] |
| | DOB[8:0] | Rdata[17:9] |
| W<=9 位 R=18 位 | DIA[] | Wdata[] |
| | DOA[8:0] | Rdata[8:0] |
| | DOB[8:0] | Rdata[17:9] |
| W=18 位 R<=9 位 | DIA[8:0] | wdata[8:0] |
| | DIB[8:0] | wdata[17:9] |
| | DOB[] | Rdata[] |

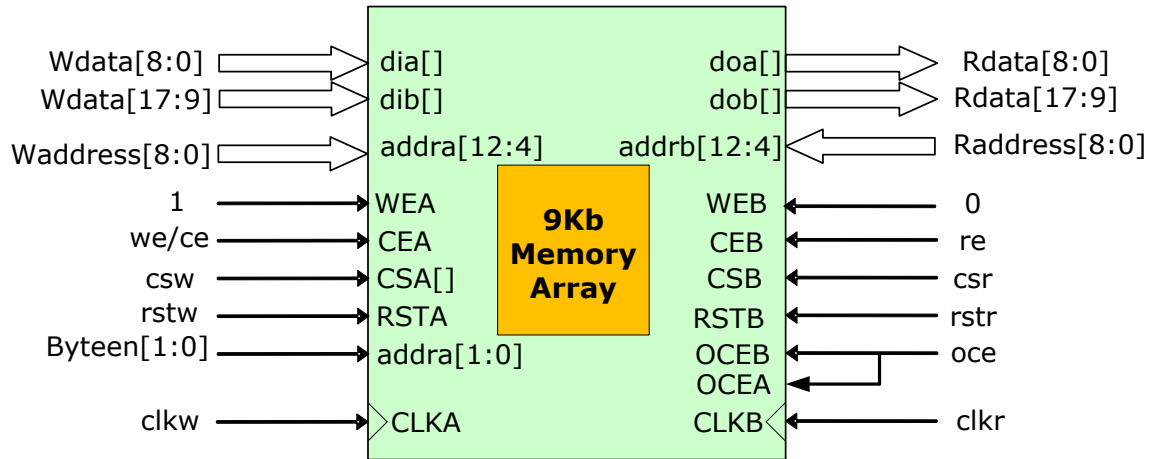


图 2-2- 3 简单双口 18 位写/18 位读端口连接

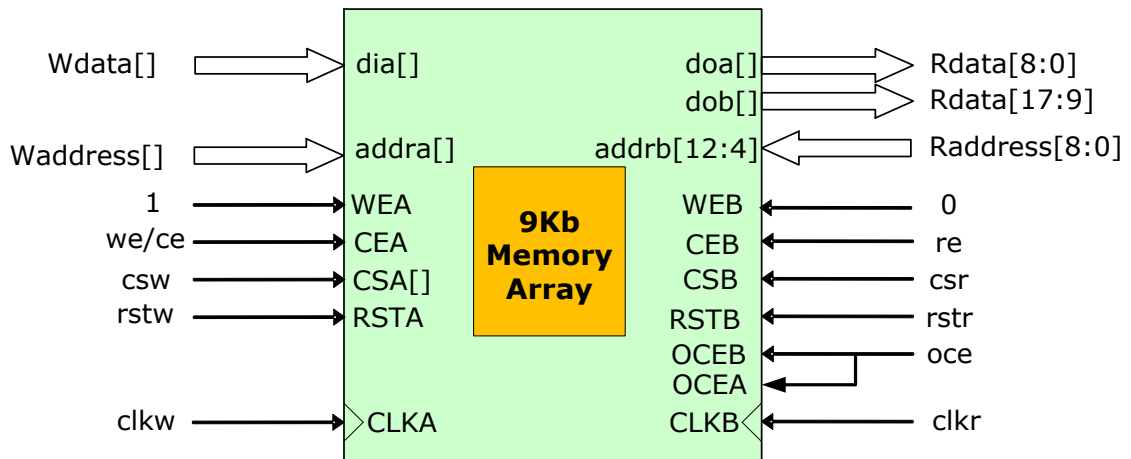


图 2-2- 4 简单双口模式≤9 位写/18 位读端口连接

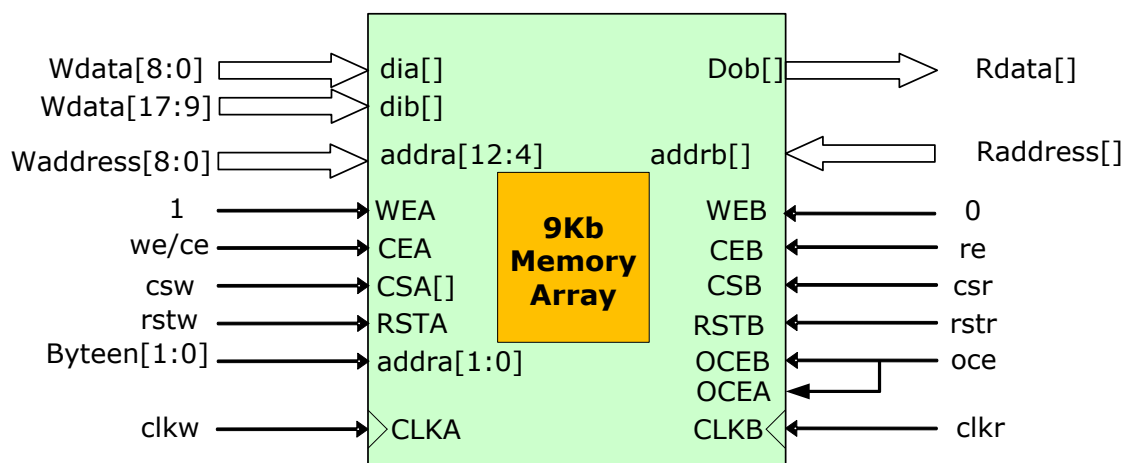


图 2-2- 5 简单双口模式 18 位写/≤9 位读端口连接

BRAM9K 简单双口模式下支持 A 口/B 口不同位宽的混合端口宽度选择。

表 2-2- 5 为简单双口模式下支持的混合端口位宽配置

| Read Port | Write Port | | | | | | |
|-----------|------------|------|------|------|--------|------|--------|
| | 8Kx1 | 4Kx2 | 2Kx4 | 1Kx8 | 512x16 | 1Kx9 | 512x18 |
| 8Kx1 | √ | √ | √ | √ | √ | | |
| 4Kx2 | √ | √ | √ | √ | √ | | |
| 2Kx4 | √ | √ | √ | √ | √ | | |
| 1Kx8 | √ | √ | √ | √ | √ | | |
| 512x16 | √ | √ | √ | √ | √ | | |
| 1Kx9 | | | | | | √ | √ |
| 512x18 | | | | | | √ | √ |

表 2-2- 6 混合宽度时，WORD（16/18）和低位地址映射关系

| | 端口 宽度 | 地址位 宽度 | DOB[8] | DOA[8] | 最低 4 位地址 addr[3:0]值对应的 WORD 内部数据位 | | | | | | | | | | | | | | | |
|---------------------------|----------|-----------|--------|--------|-----------------------------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| | 18 | 9 | 0 | | 0 | | | | | | | | | | | | | | | |
| | 9 | 10 | 1 | 0 | 1 | | | | | | | | 0 | | | | | | | |
| | 4 | 11 | X | X | 3 | | | | 2 | | | | 1 | | | | 0 | | | |
| | 2 | 12 | X | X | 7 | | 6 | | 5 | | 4 | | 3 | | 2 | | 1 | | 0 | |
| | 1 | 13 | X | X | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 18/16 位 WORD 内 部数据位 | | | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

c) 真双口模式（ True Dual-Port Mode）

真双口模式支持 A 口/B 口的所有独立读写操作组合：两读，两写，一读和一写。

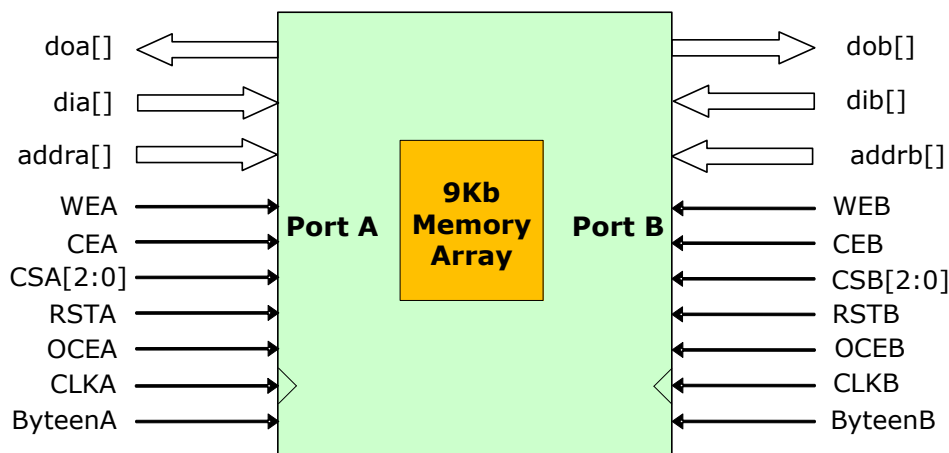


图 2-2- 6 位宽≤9 位时 A/B 双口 RAM

表 2-2- 7 为真双口模式下支持的混合端口位宽配置

| Read Port | Write Port | | | | |
|-----------|------------|------|------|------|------|
| | 8Kx1 | 4Kx2 | 2Kx4 | 1Kx8 | 1Kx9 |
| 8Kx1 | √ | √ | √ | √ | |
| 4Kx2 | √ | √ | √ | √ | |
| 2Kx4 | √ | √ | √ | √ | |
| 1Kx8 | √ | √ | √ | √ | |
| 1Kx9 | | | | | √ |

d) ROM 模式

BRAM9K 支持 ROM 模式。ROM 内容保存在初始化文件中，在芯片编程下载时写入 BRAM9K 中。初始化值可以在 IP 生成时用 MIF 文件设置。ROM 输出可选择带寄存器或不带寄存器锁存。ROM 的读出操作和单口 RAM 的读操作时序相同。

2.2.5 FIFO 模式

BRAM9K 内部集成 FIFO 控制器，硬件支持同步/异步 FIFO 模式。FIFO 模式下 BRAM9K 位宽设置和简单双口 RAM 设置相同，最高可支持 18bit 输入和输出。

表 2-2- 8 FIFO 模式下的端口信号

| 输入端口名 | 方向 | 说明 |
|----------|----|---|
| dia[8:0] | 输入 | FIFO 数据输入， 16/18 位输入端口模式时作为低 9 位数据输入 |
| dib[8:0] | 输入 | 只在 16/18 位输入端口模式时作为高 9 位数据输入，其他位宽不使用。 |
| Clkw | 输入 | FIFO 写端口时钟输入，默认上升沿有效（可反向） |
| rst | 输入 | FIFO 内部写指针/读指针复位信号（可反向） |
| we | 输入 | FIFO 写使能，1 为写入操作，0 无操作。 |
| Csw[2:0] | 输入 | FIFO 写端口 3 位片选信号（可反向），类似 RAM 模式。 |
| Ocea | 输入 | A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A= “OUTREG”）才有效。 |
| 输出端口名 | 方向 | 说明 |
| doa[8:0] | 输出 | 只在 18 位输出端口模式时作为低 9 位数据输出，其他位宽时不使用。 |
| Dob[8:0] | 输出 | <=9 位时作为数据输出，18 位输出端口模式时作为高 9 位数据输出。 |
| Clkr | 输入 | 读端口时钟输入，默认上升沿有效（可反向） |
| rprst | 输入 | FIFO 读指针复位信号 |
| re | | FIFO 读使能，1 为读操作，0 无操作。 |
| Csr[2:0] | 输入 | FIFO 读端口 3 位片选信号（可反向），类似 RAM 模式。 |
| Ocea | 输入 | doa 端口数据寄存器时钟使能，默认高有效（可反向）。只有 18 位输出端口模式并且当输出寄存器被使用时（REGMODE_A= “OUTREG”）才有效。 |
| Oceb | 输入 | dob 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B= “OUTREG”）才有效。 |

| FIFO 标志名 | 方向 | 说明 |
|-------------|----|--|
| empty_flag | 输出 | FIFO 读空标志, 和 clkr 同步。 |
| Aempty_flag | 输出 | FIFO 几乎读空标志, 和 clkr 同步。相对读空提前量由 AE_POINT 参数决定。 |
| Full_flag | 输出 | FIFO 满标志, 和 clkw 同步。FIFO 满容量由 FULL_POINTER 参数决定。 |
| Afull_flag | 输出 | FIFO 几乎满标志, 和 clkw 同步。FIFO 几乎满容量由 AF_POINTER 参数决定。 |
| | | |

表 2-2- 9 FIFO 模式支持的混合端口位宽配置

| Read Port | Write Port | | | | | | |
|-----------|------------|------|------|------|--------|------|--------|
| | 8Kx1 | 4Kx2 | 2Kx4 | 1Kx8 | 512x16 | 1Kx9 | 512x18 |
| 8Kx1 | √ | √ | √ | √ | √ | | |
| 4Kx2 | √ | √ | √ | √ | √ | | |
| 2Kx4 | √ | √ | √ | √ | √ | | |
| 1Kx8 | √ | √ | √ | √ | √ | | |
| 512x16 | √ | √ | √ | √ | √ | | |
| 1Kx9 | | | | | | √ | √ |
| 512x18 | | | | | | √ | √ |

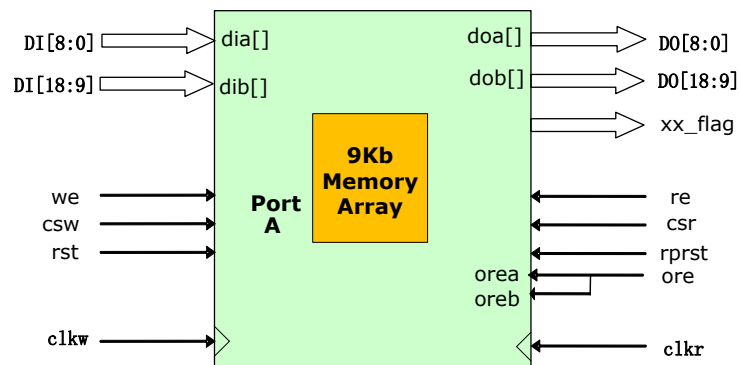


图 2-2- 7 18 位进/18 位出 FIFO 模式

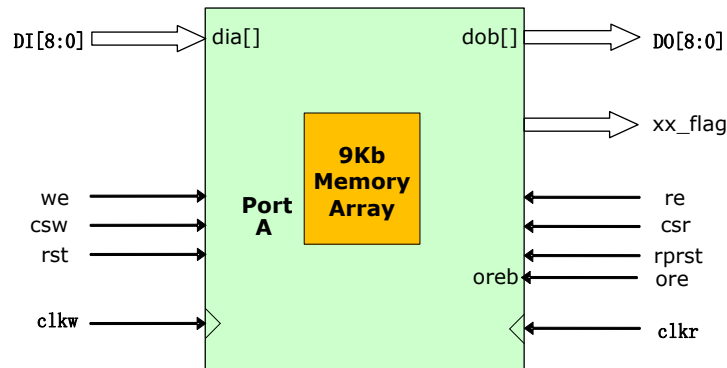


图 2-2- 8 <=9 位进/<=9 位出 FIFO 模式

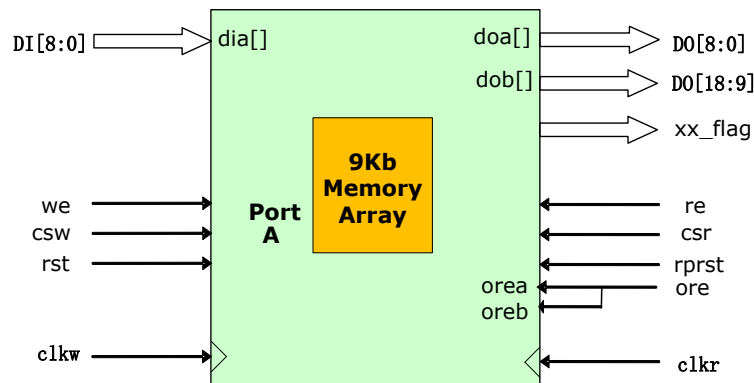


图 2-2- 9 9 位进/18 位出 FIFO 模式

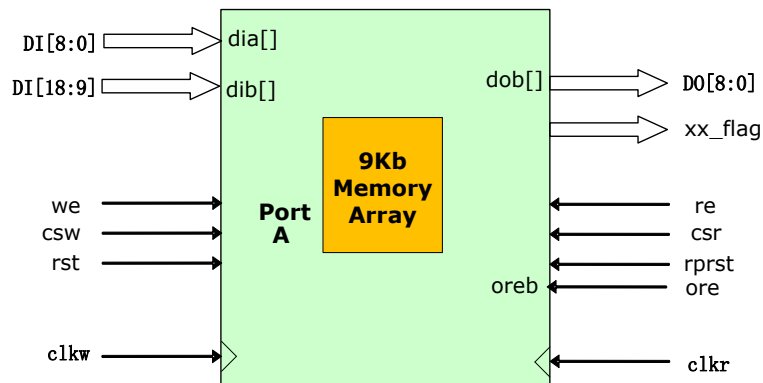


图 2-2- 10 18 位进/9 位出 FIFO 模式

■ 空满标志属性的设置

FIFO 模式下用户可以通过软件设置 FIFO 空满标志属性。空标志(empty_flag)，几乎空标志(almost_empty)，满标志(full_flag)，几乎满标志(almost_full)。当内部计数器计数到标志值时会在 FF/AF/EF/AE 相应端口输出高电平。

表 2-2- 10 FF/AF/EF/AE 属性设置

| FIFO 属性名称 | 描述 | 设置范围 |
|-----------|---------------|-------------|
| FF | Full flag | 1 to Max |
| AF | Almost full | 1 to Full-1 |
| AE | Almost empty | 1 to Full-1 |
| EF | Empty setting | 0 |

■ FIFO 模式下常用配置

FIFO 模式的 CSW/CSR 和 RAM 模式中的 CSA/CSB 接口逻辑类似。当 FIFO 写满或读空时为了避免指针溢出，可以通过互连资源将满信号反向后接入 csw 端，空信号反向后接入 csr 端。反向逻辑可以利用 csw/csr 内部的反向与逻辑实现。

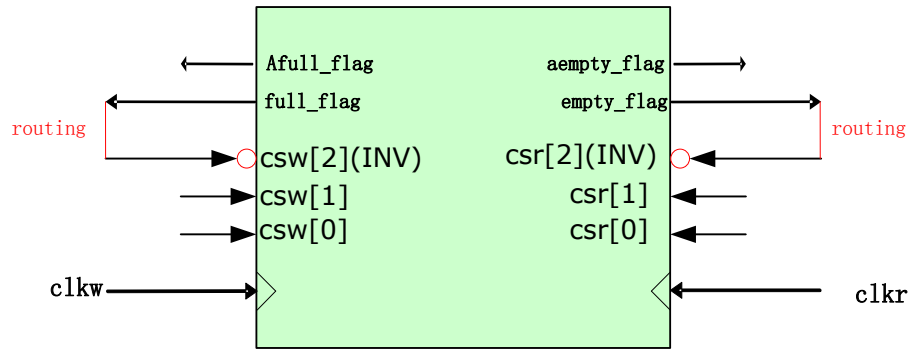


图 2-2- 11 单个 EMB9K FIFO 模式连接

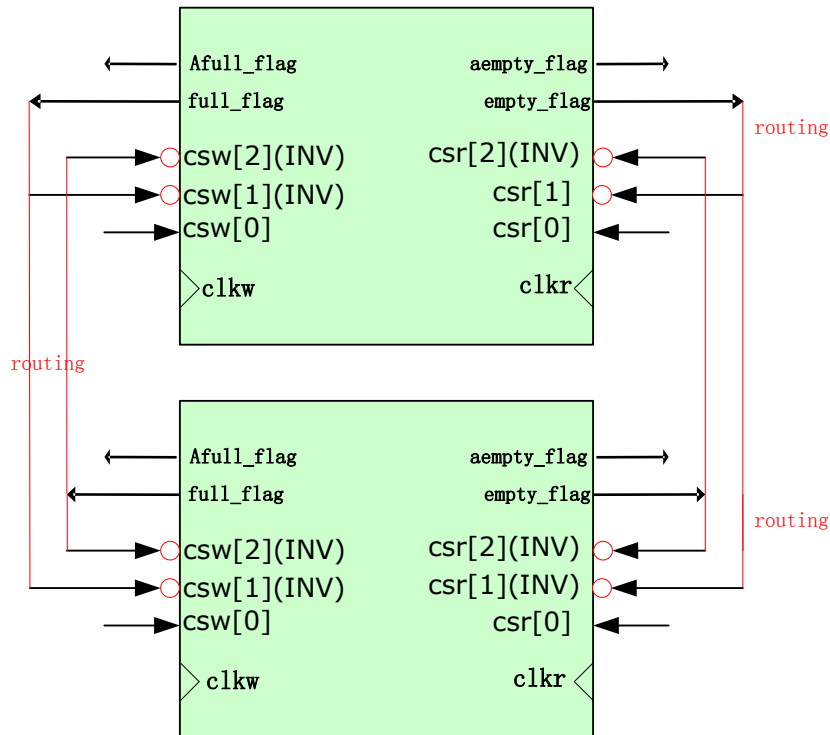


图 2-2- 12 两个 EMB9K FIFO 级联模式连接

2.2.6 BRAM32K

为了达到更高的存储容量，EAGLE 系列器件中设计了嵌入式真双口存储器模块 BRAM32K，存储器容量 32K bits。

BRAM32K 可实现：

- 单口 RAM
- 双口 RAM

BRAM32K 模块支持的功能特色有：

- 32K bits / 每块，可设置为 2K*16 或 4K*8

- A/B 口时钟独立。
- 可单独配置 A/B 口数据位宽，支持 8 位/16 位两种宽度
- 输出锁存器可选择（支持 1 级流水线）
- 支持多种写操作模式。可选择只写（Normal），写穿通（Write through）两种模式

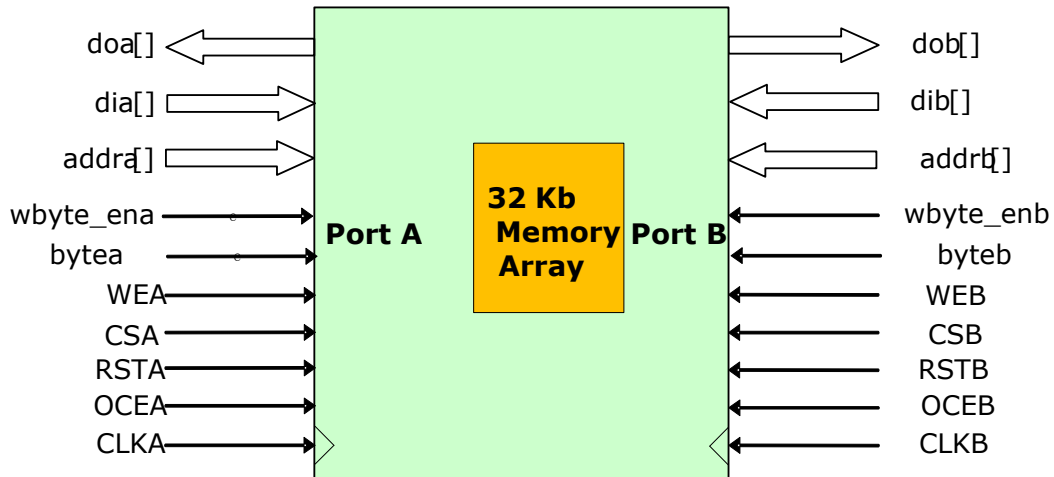


图 2-2- 13 BRAM32K 双口 RAM

表 2-2- 11 BRAM32K 端口信号

| A 端口名 | 方向 | 说明 |
|-------------|----|---|
| dia[15:0] | 输入 | A 端口数据输入，8 位输入端口模式时 dia[7:0]有效。 |
| AddrA[10:0] | 输入 | A 端口地址输入，2K 深度。 |
| Wbyte_ena | 输入 | A 口 16 位模式时，使能 8 位写模式，高有效。8 位模式时接 0。 |
| Bytea | 输入 | 8 位模式时作为最低位地址输入；16 位模式 wbyte_ena=1 时，bytea=1 选择高 8 位写入，bytea=0 选择低 8 位写入。 |
| doa[15:0] | 输出 | A 端口数据输出，8 位输出端口模式时只 doa[7:0]有效 |
| clka | 输入 | A 端口时钟输入，默认上升沿有效（可反向） |
| rsta | 输入 | A 端口数据输出寄存器同步复位信号，默认高有效（可反向） |
| csa | 输入 | A 端口片选，默认高有效（可反向）。 |
| Wea | 输入 | A 端口写入/读出操作控制，1 为写入操作，0 为读出操作； |
| oceA | 输入 | A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A= “OUTREG”）才有效。 |
| B 端口名 | 方向 | 说明 |
| dib[15:0] | 输入 | B 端口数据输入，8 位输入端口模式时 dib[7:0]有效 |
| addrb[10:0] | 输入 | B 端口地址输入，2K 深度 |
| wbyte_enb | 输入 | B 口 16 位模式时，使能 8 位写模式，高有效。8 位模式时接 0。 |
| Byteb | 输入 | 8 位模式时作为最低位地址输入；16 位模式 wbyte_enb=1 时，byteb=1 选择高 8 位写入，byteb=0 选择低 8 位写入。 |
| dob[15:0] | 输出 | B 端口数据输出，8 位输出端口模式时 dob[7:0]有效 |
| clkb | 输入 | B 端口时钟输入，默认上升沿有效（可反向）。 |

| | | |
|------|----|---|
| Rstb | 输入 | B 端口数据输出寄存器同步复位信号，默认高有效（可反向） |
| csb | 输入 | B 端口时钟有效控制信号，默认低有效（可反向）。 |
| Web | 输入 | B 端口写入/读出操作控制，0 为写入操作，1 为读出操作。 |
| Oceb | 输入 | B 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。 |

2.3 时钟资源

EAGLE 系列 FPGA 包含 3 种时钟资源，第一个是给核心逻辑、嵌入式存储器、IOL 和 DSP 使用的全局时钟（GCLK），第二个是支持高速输入/输出接口串并转换的输入输出时钟（IOCLK），第三个是支持时钟快速输入到 IOCLK 和 PLL 输入的快速时钟。

2.3.1 全局时钟

EAGLE 系列全局时钟资源包含专门的时钟输入，缓冲器和布线网络。时钟资源提供 16 个低延迟、低偏斜、互联的全局时钟网络。全局时钟网络能够为 FPGA 各个模块提供统一的高性能、低抖动、低偏斜时钟源。同时全局时钟也可用于高扇出信号。

在全局时钟传输路径上有两级多路选择器，第一级为 8:1，用于从 PLL 输出、时钟管脚、内部分频器、内部逻辑反馈中选择一路作为全局时钟的驱动；在 8:1 多路选择器的输出端，插入了一级动态时钟使能逻辑，可以实现无毛刺的时钟动态使能；从四个边共送进 32 路时钟资源，经过在传输路径上的延时平衡，分别送到位于芯片中间的二级 36:1 多路选择器，进而分别送到 4 个象限驱动用户逻辑 DFF。

整个芯片以水平和垂直中间线为四个象限，每个象限有 16 路独立的全局时钟资源。

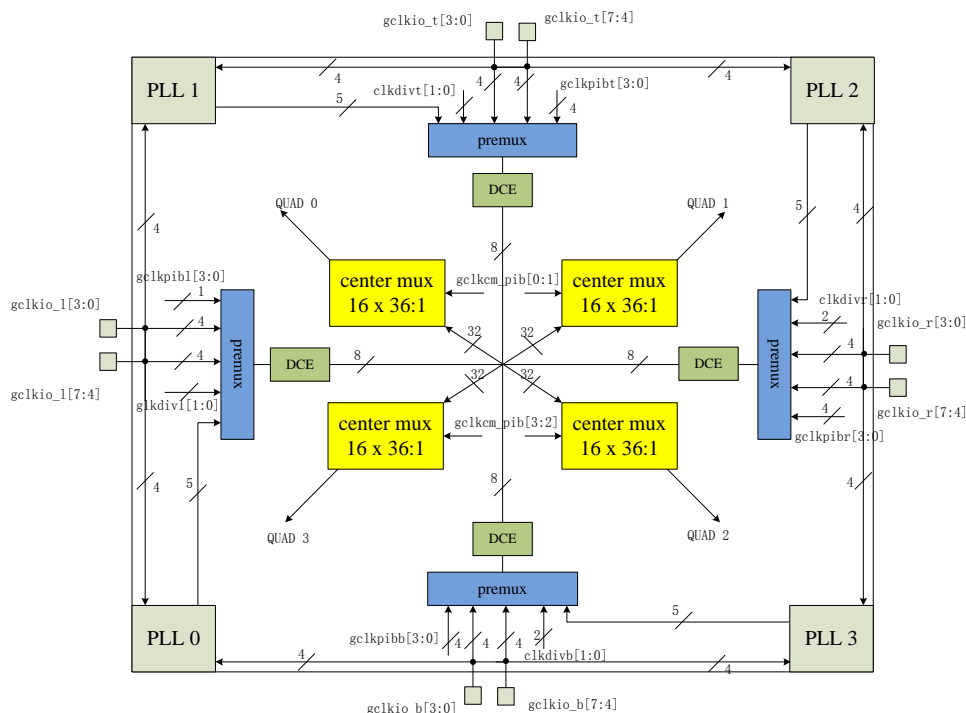


图 2-3-1 全局时钟分布网络

注：EAGLE_4 只有 PLL0

EAGLE_10 只有 PLL0 和 PLL2

2.3.1.1 动态时钟使能(DCE)

动态时钟使能(DCE)模块允许用户通过逻辑描述动态控制时钟网络。当选定时钟被禁止，所有被该时钟驱动的逻辑模块都将静止，从而减少功耗。

2.3.1.2 时钟切换模块(CSB)

每个 EAGLE 器件有 2 个全局时钟动态时钟切换模块。时钟切换模块把所有 32 路全局时钟第一级多路选择器的输出作为输入。动态时钟切换器的设计允许将其配置成一个具有两个时钟输入的同步或异步无毛刺信号 2:1 多路复用器。

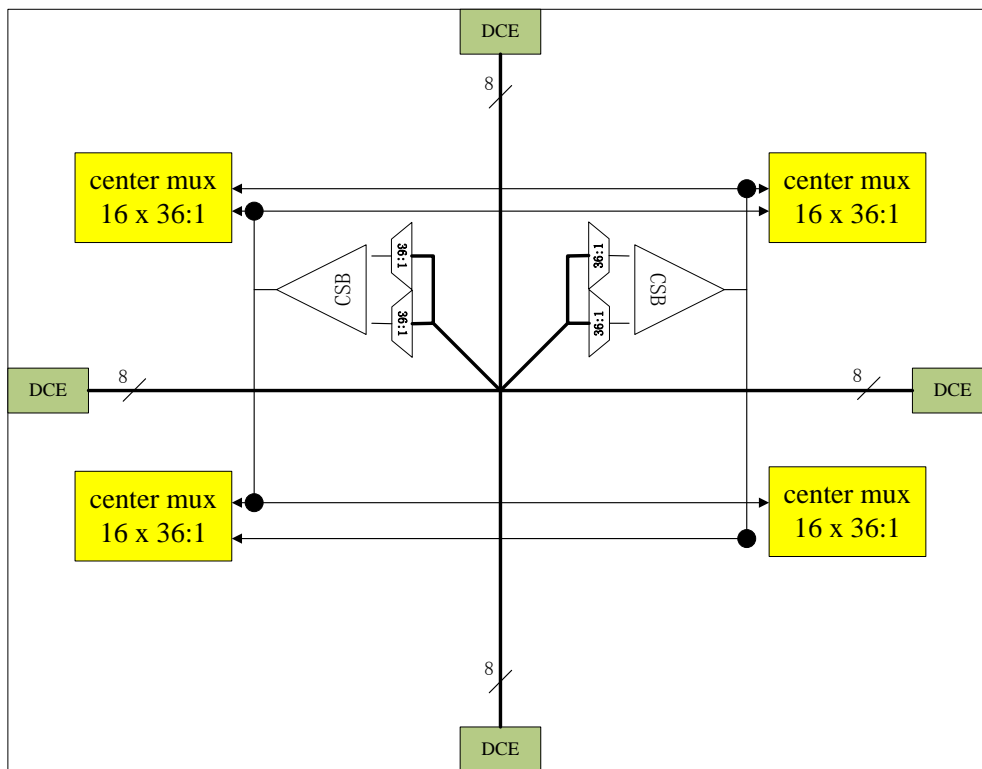


图 2-3- 2 CSB 框图

图 2-3- 3 给出了 CSB 模块工作时序图

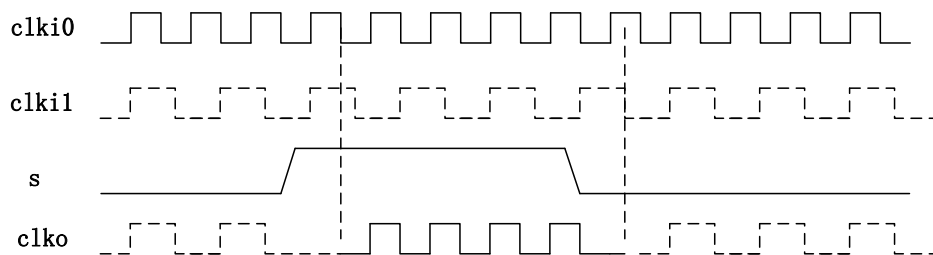


图 2-3- 3CSB 时序图

表 2-3- 1DCS 操作模式表

| 模 式 | S | | 描 述 |
|-----------|-------|-------|----------------|
| | 1 | 0 | |
| CSB | clki0 | clki1 | 下降沿触发，锁存状态为低 |
| CSB_1 | clki0 | clki1 | 上升沿触发，锁存状态为高 |
| BUFGCE | 0 | clki1 | 使能高有效，非使能状态输出低 |
| BUFGCE_1 | 0 | clki1 | 使能高有效，非使能状态输出高 |
| BUFGCEB | clki0 | 0 | 使能低有效，非使能状态输出低 |
| BUFGCEB_1 | clki0 | 0 | 使能低有效，非使能状态输出高 |
| BUFG0 | clki0 | clki0 | 时钟缓冲器 |
| BUFG1 | clki1 | clki1 | 时钟缓冲器 |
| BUFGMUX | clki0 | clki1 | 有毛刺时钟切换 |

2.3.2 输入输出时钟

输入输出时钟 (IOCLK) 是可以在 EAGLE 器件中使用的一种时钟缓冲器。IOCLK 驱动 I/O 列内一个独立于全局时钟资源的专用时钟网。这样，BUFIO 就可以理想地适合源同步数据采集（传送/接收器时钟分配）。IOCLK 可以由位于同一时钟区域的 clock capable I/O 驱动，也可以由 PLL 输出驱动。典型的 I/O 组中有两个 IOCLK。每个 IOCLK 可驱动同一区域/组中的一个 I/O 时钟网络。IOCLK 不能驱动逻辑资源（PLB、BRAM 等），因为 IOCLK 时钟网络只能覆盖同一组或时钟区域内的 I/O 列。

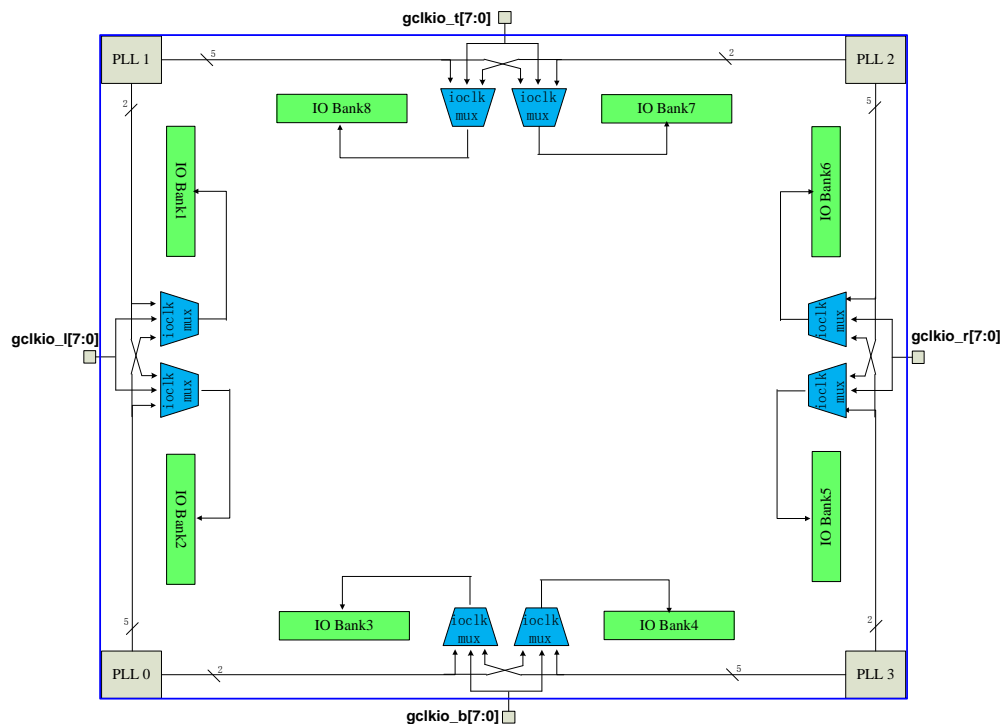


图 2-3- 4 IOCLK 架构图

注：EAGLEA05/10K 只有 PLL0 和 PLL2

■ 时钟分频器

EAGLE 器件在每个 I/O 组中都有两个时钟分频器。时钟分频器把输入时钟分频，其输入来自于相同 I/O 组的输入输出时钟。输出分频系数可以是 1/2/4 中的任意一个。

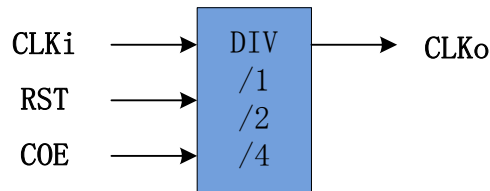


图 2-3- 5 时钟分频器

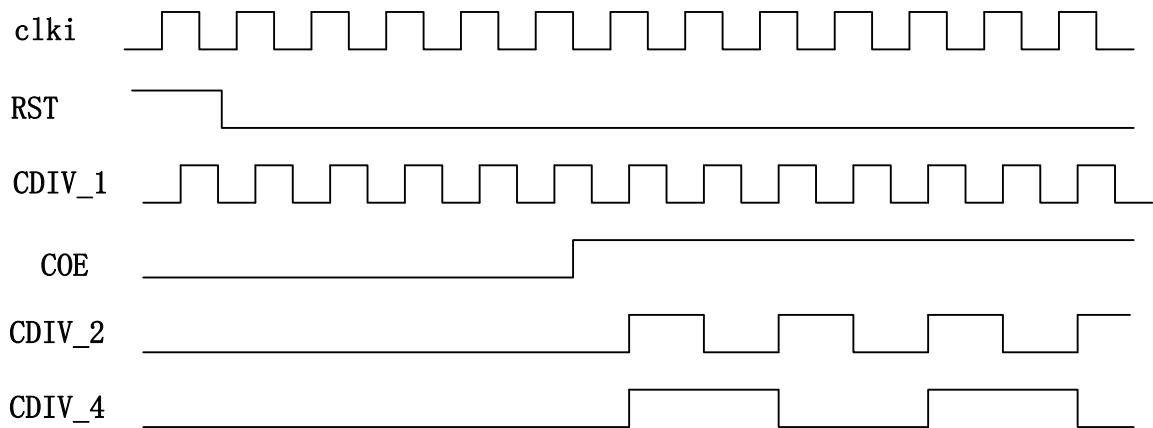


图 2-3- 6 时钟分频器时序

2.3.3 快速时钟

快速时钟用于实现单时钟输入快速布线到多个 IOCLK 和 PLL 输入的应用，这使得客户实现时钟共享输入应用时更加灵活。

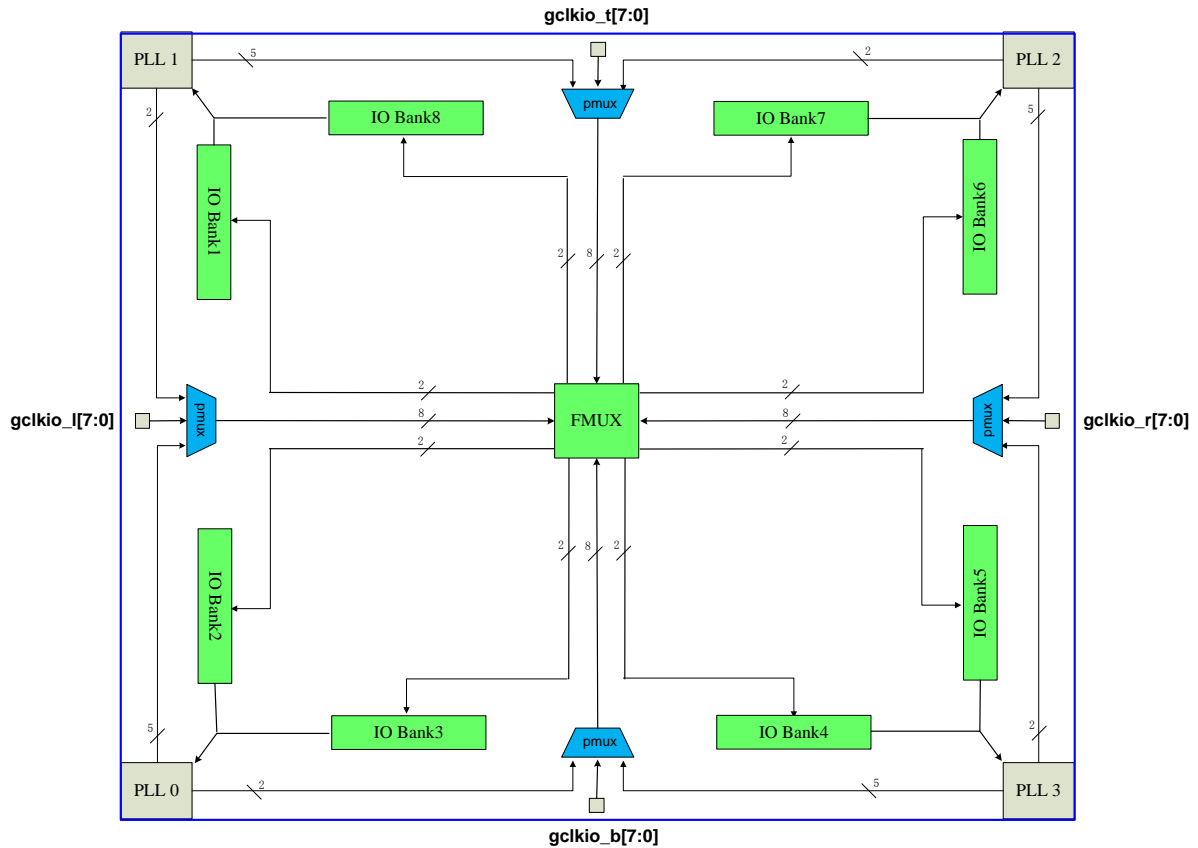


图 2-3- 7 快速时钟架构

2.4 锁相环 PLL

2.4.1 简介

EAGLE 系列 FPGA 最多内嵌有 4 个多功能锁相环（PLL0~PLL3），可实现高性能时钟管理功能。每个 PLL 都能实现时钟分频/倍频/输入和反馈时钟对准/多相位时钟输出功能。

用户在使用中应关注 PLL 的 lock 信号是否为高，同时建议用户等待输入信号稳定后，再给锁相环进行复位以保证锁相环输出时钟信号的频率和相位。

PLL 参考时钟输入有：时钟网络输出、互连输出和内部振荡器输出。

PLL 反馈时钟输入有：时钟网络输出、内部寄存器时钟节点、互连输出、PLL 内部反馈时钟以及相移时钟 C0~C4。

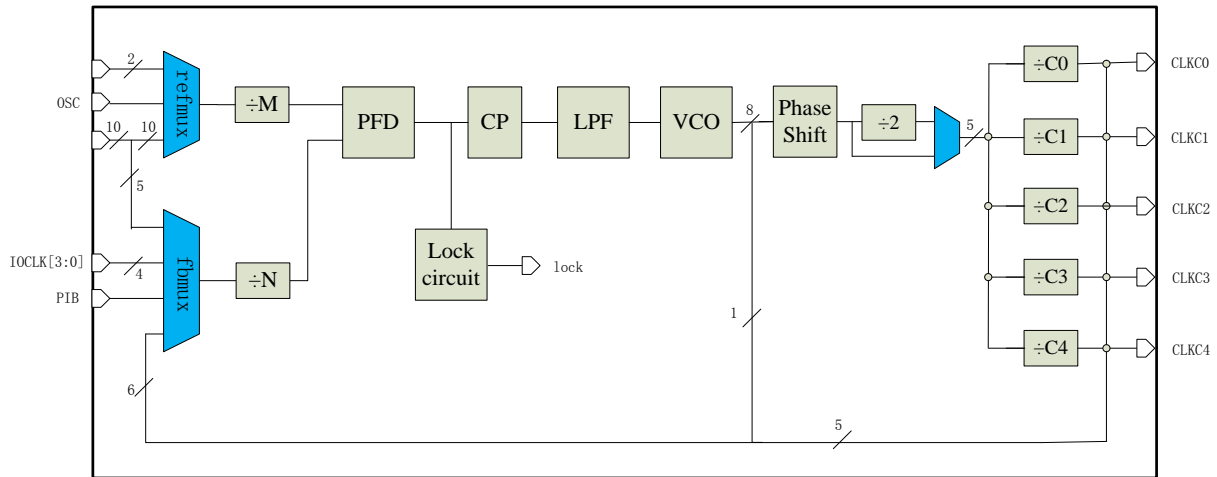


图 2-4- 1EAGLE PLL 架构图

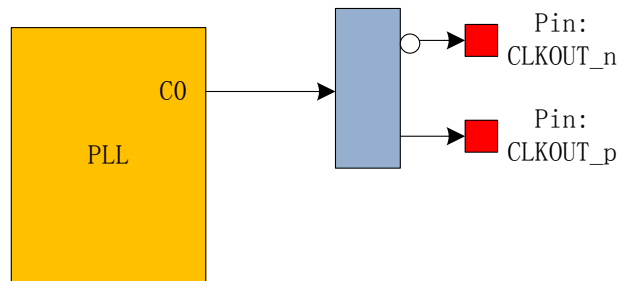


图 2-4- 2 EAGLE C0 直接输出到时钟输出 IO 管脚（差分模式）

表 2-4- 1 EAGLE PLL 特性表

| Feature | AL3 PLL |
|-----------------|------------------------------------|
| 输入时钟频率范围 | 10-400 Mhz |
| 输出时钟频率范围 | 4-400 Mhz |
| VCO 频率范围 | 300-1200 Mhz |
| 输出端口数 | 5 (各端口相位独立可选) |
| 参考时钟分频系数(M) | 1 to 128 |
| 反馈时钟分频系数(N) | 1 to 128 |
| 输出时钟分频系数(C0-4) | 1 to 128 |
| 相移分辨率 | 45°（相对 VCO） |
| 输出端口可选相位偏移量 (°) | 0, 45, 90, 135, 180, 225, 270, 315 |
| 用户动态相移控制 | 支持 (+/-每单位 45 度相移, 相对 VCO) |
| 锁定状态输出 | Lock |
| 专用时钟输出管脚 | 支持 |

2.4.2 动态相移

EAGLE 系列 PLL 支持动态相移功能。EAGLE 系列 PLL 控制属性分为静态和动态配置两种。静态配置由用户通过软件设置生成码流，经过上电下载后不能更改。

静态配置参数包括：

- 参考/反馈时钟输入/输出选择
- 参考时钟分频系数(M)
- 反馈时钟分频系数(N)
- 输出时钟分频系数(C0-4)

动态相移是指用户可以通过向 PLL 控制输入接口发送信号从而改变 PLL 5 个时钟输出 C0-C4 的相位输出。EAGLE 动态相移控制通过递加/递减的方式调节相位。递进步长为输出时钟的 45 度除以输出分频数。用户通过 PSCLKSEL[2:0]信号选择对某一路输出进行相移。PSSTEP 的每一个脉冲递增或递减一格相位，PSDONE 低到高的跳变表示完成一次相位移动。

动态相移在 4 种反馈模式下都可以使用，值得注意的是 PSCLK 至少要小于 VCO 的三分之一，PSSTEP 的宽度至少需要 2 个 PSCLK 周期。

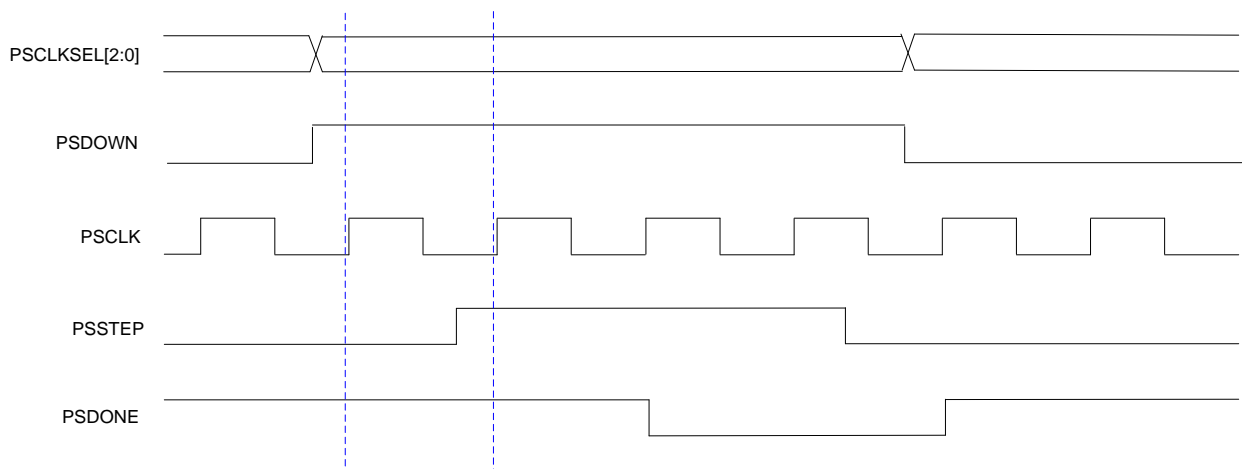


图 2-4- 3PLL 动态相移控制时序

2.4.3 动态配置

动态配置是用户可以在 PLL 工作过程中通过专门的输入输出接口直接控制锁相环的配置参数，包括：

- 参考时钟分频系数(M)
- 反馈时钟分频系数(N)

■ 输出时钟分频系数(C0-4)

■ 输出相位 P

PLL 的每个参数都存储在 32*8 的 RAM 空间中。动态配置功能通过 EG_PHY_PLL 中的类似 MEMORY 访问的 8 位动态接口来实现。

用户动态配置端口列表：

表 2-4- 2 用户动态配置端口

| EG_PHY_PLLIF 端口 | 方向 | 说明 |
|-----------------|----|----------------------|
| DCLK | 输入 | 时钟输入，上升沿有效 |
| DCS | 输入 | 片选输入，高有效，clk 上升沿锁存 |
| DADDR<5:0> | 输入 | 读写地址，clk 上升沿被锁存 |
| DWE | 输入 | 写使能，高有效，clk 上升沿锁存 |
| DWDATA<7:0> | 输入 | 写入数据 |
| DRDATA<7:0> | 输出 | 数据无延迟输出，PLL 配置数据读出端口 |

PLL 内部 32BYTE 控制位列表：

表 2-4- 3 PLL 内部 32BYTE 控制表

| 地址 | Bit<7:0> | 说明 |
|-------|-------------------------|--|
| 5'h01 | 0, Refclk_div<6:0> | Bit<7>=0, bit<6:0>为参考时钟分频系数 |
| 5'h02 | 0, fdbkclk_div<6:0> | Bit<7>=0, bit<6:0>为反馈时钟分频系数 |
| 5'h03 | 0, channel0_del<6:0> | Bit<7>=0, bit<6:0>为通道 0 延迟系数 |
| 5'h04 | 0, channel0_div<6:0> | Bit<7>=0, bit<6:0>为通道 0 分频系数 |
| 5'h05 | 0, channel1_del<6:0> | Bit<7>=0, bit<6:0>为通道 1 延迟系数 |
| 5'h06 | 0, channel1_div<6:0> | Bit<7>=0, bit<6:0>为通道 1 分频系数 |
| 5'h07 | 0, channel2_del<6:0> | Bit<7>=0, bit<6:0>为通道 2 延迟系数 |
| 5'h08 | 0, channel2_div<6:0> | Bit<7>=0, bit<6:0>为通道 2 分频系数 |
| 5'h09 | 0, channel3_del<6:0> | Bit<7>=0, bit<6:0>为通道 3 延迟系数 |
| 5'h0A | 0, channel3_div<6:0> | Bit<7>=0, bit<6:0>为通道 3 分频系数 |
| 5'h0B | 0, channel4_del<6:0> | Bit<7>=0, bit<6:0>为通道 4 延迟系数 |
| 5'h0C | 0, channel4_div<6:0> | Bit<7>=0, bit<6:0>为通道 4 分频系数 |
| 5'h0D | 保留 | |
| 5'h12 | C2<1:0>,C1<2:0>,C0<2:0> | Bit<2:0>为通道 0 相位，Bit<5:3>为通道 1 相位， Bit<7:6>为通道 2 相位的 bit1,0 |
| 5'h13 | 0,C4<2:0>,C3<2:0>,C2<2> | Bit<0>为通道 2 相位 bit2，Bit<3:1>为通道 3 相位， Bit<6:4>为通道 4 相位，Bit<7>=0 |

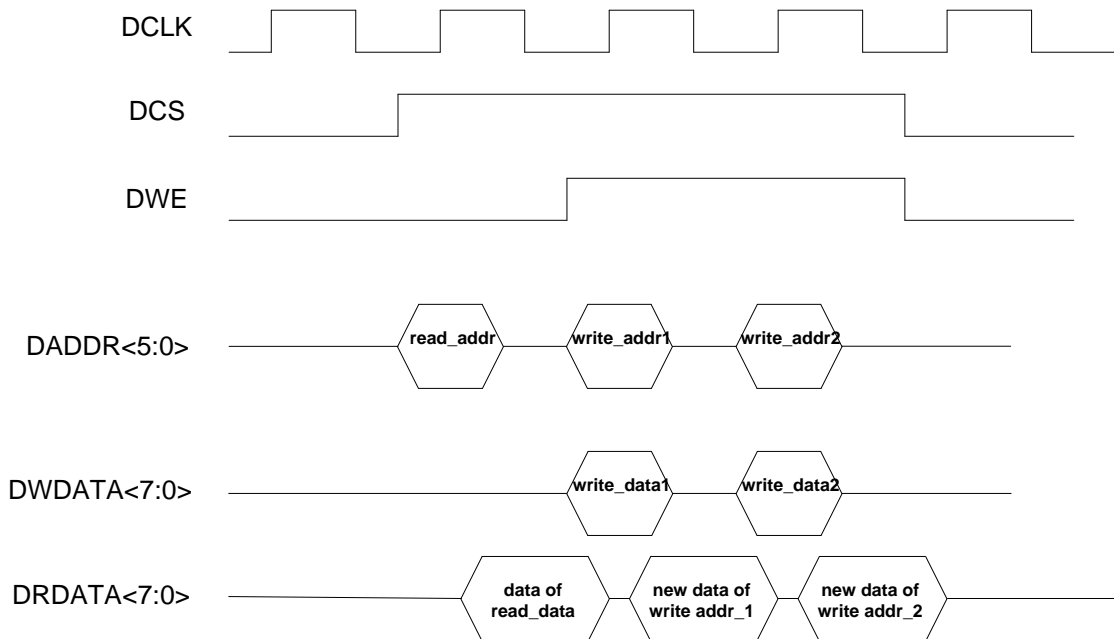


图 2-4- 4 PLL 动态配置控制时序

2.4.4 时钟反馈模式

EAGLE 系列 PLL 支持 4 种反馈模式。每种模式都支持时钟分频/倍频和相移。

a) 源同步模式（Source-Synchronous Mode）

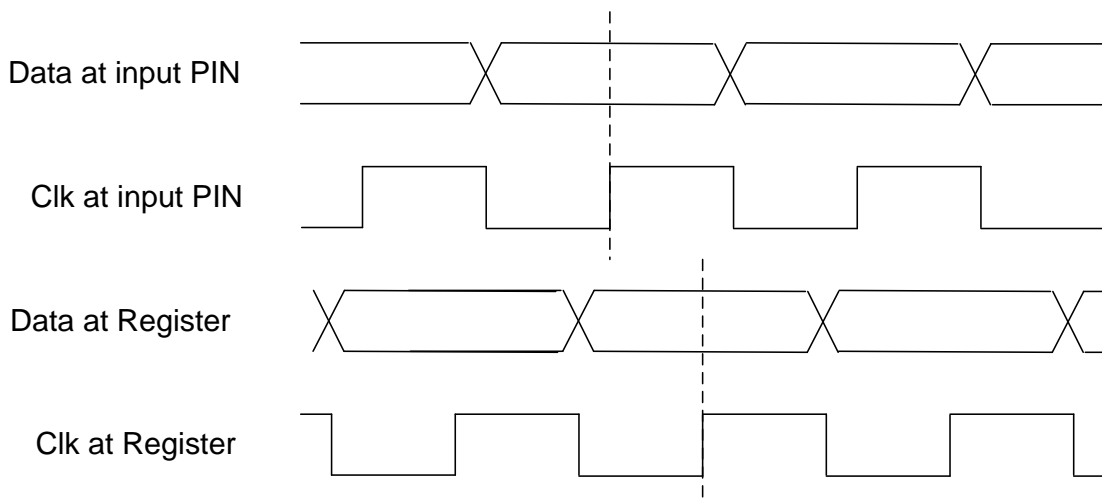


图 2-4- 5 源同步模式

如图 2-4- 5 源同步模式通过动态相移功能，调节时钟相位保证数据端口到 IOB 输入寄存器的延迟和时钟输入端口到 IOB 寄存器的延迟相等（数据和时钟输入端口模式相同情况下）。

b) 无补偿模式 (No Compensation Mode)

在无补偿模式，PLL 不对时钟网络延迟进行补偿，PLL 采用内部自反馈，这会提高 PLL 的抖动特性。

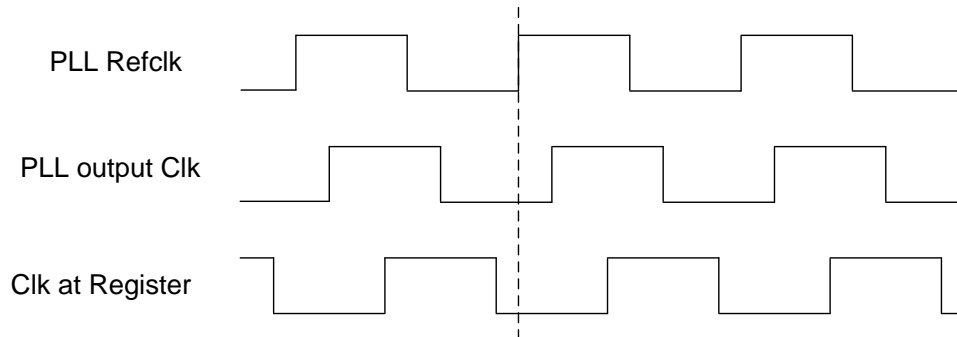


图 2-4- 6 无补偿模式（相位不对齐）

c) 普通模式

普通模式中，PLL 会补偿 GCLK 网络延迟，保证内部寄存器输入时钟相位和时钟管脚相位一致。

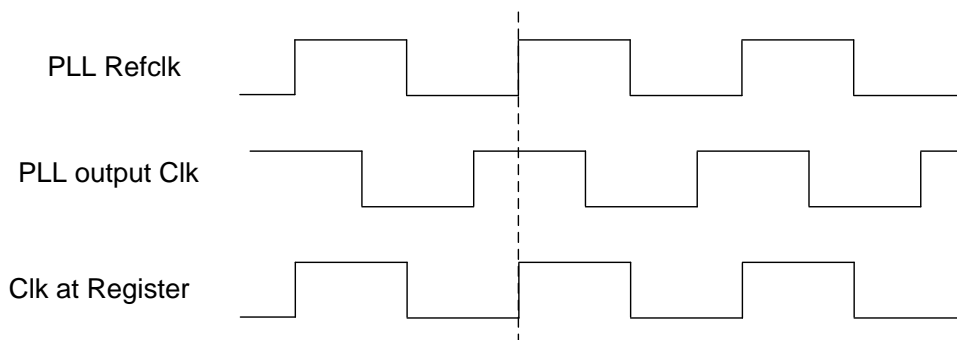


图 2-4- 7 普通模式（1/2 时钟相位对齐）

d) 零延迟缓冲模式

零延迟缓冲模式，时钟输出管脚相位和 PLL 参考时钟输入管脚相位对齐。

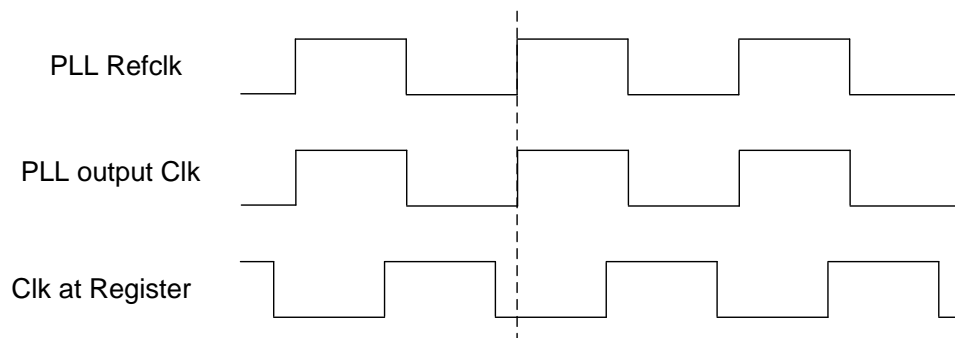


图 2-4- 8 零延迟缓冲模式（1/3 信号相位对齐）

2.5 数字信号处理（DSP）

EAGLE 器件结合了片上资源与外部接口，这有助于提高性能、减少系统成本，以及降低数字信号处理(DSP)系统的功耗。EAGLE 器件本身或者作为 DSP 器件的协处理器，都可用于提高 DSP 系统的性价比。

2.5.1 体系结构

图 2-5-1 给出了一个嵌入式乘法器列以及相邻的逻辑阵列模块高度对应关系。嵌入式乘法器可以配置成一个 18×18 乘法器，或者配置成两个 9×9 乘法器。每个嵌入式乘法器均由以下几个单元组成：

- 乘法器级
- 输入与输出寄存器
- 输入与输出接口

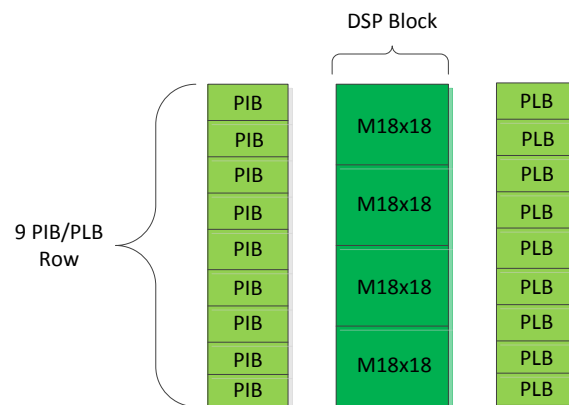


图 2-5-1 与 PLB 相邻的按列排列的嵌入式乘法器

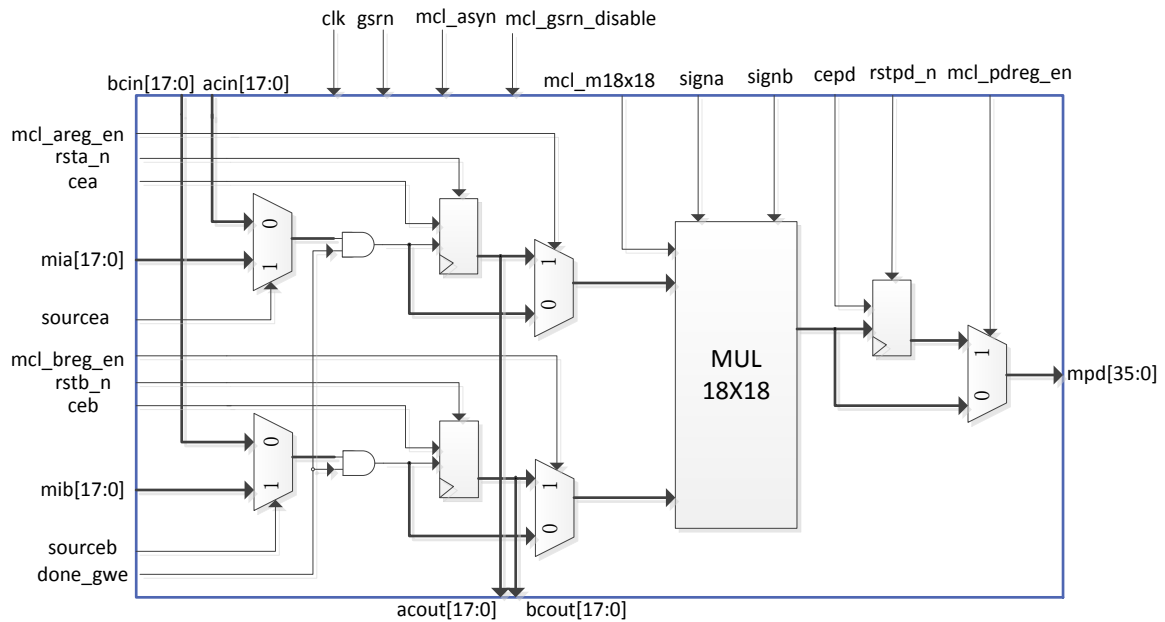


图 2-5-2 乘法器模块的体系结构

a) 输入寄存器

根据乘法器的操作模式，可以将每个乘法器输入信号连接到输入寄存器，或直接以 9bit 或 18 bit 的形式连接到内部乘法器。可以分别设置乘法器的每个输入是否使用输入寄存器。例如：将乘法器 mia 信号连接到输入寄存器，将 mib 信号直接连接到内部乘法器。

下列控制信号可用于嵌入式乘法器中的每一个输入寄存器：

- 时钟
- 时钟使能
- 同步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。

b) 乘法器级

嵌入式乘法器模块的乘法器级支持 9x9 或者 18x18 乘法器，并支持这些配置之间的其它乘法器。根据乘法器的数据宽度或者操作模式，单一嵌入式乘法器能够同时执行一个或者两个乘法运算。

乘法器的每一个操作数都是一个唯一的有符号或者无符号数。Signa 与 signb 信号控制乘法器的输入，并决定值是有符号的还是无符号的。如果 signa 信号为高电平，则 mia 操作数是一个有符号数值。反之，mia 操作数便是一个无符号数值。

表 2-5-1 给出了不同符号类型的操作数的乘积结果对应的符号类型。如果任何一个操作数为有符号数，则乘积的结果为有符号数。

表 2-5- 1 乘法器符号表示

| mia | | mib | | 乘积 |
|-------|-----|-------|-----|-----|
| Signa | 逻辑值 | Signb | 逻辑值 | |
| 无符号 | 0 | 无符号 | 0 | 无符号 |
| 无符号 | 0 | 有符号 | 1 | 有符号 |
| 有符号 | 1 | 无符号 | 0 | 有符号 |
| 有符号 | 1 | 有符号 | 1 | 有符号 |

每一个嵌入式乘法器模块只有一个 signa 信号和一个 signb 信号，用于控制模块输入数据的符号表示。如果嵌入式乘法器有两个 9 x9 乘法器，那么这两个乘法器的 mia 输入与 mib 输入将分别共享同一个 signa 信号和同一个 signb 信号。可以在运行时动态改变 signa 和 signb 信号，以修改输入操作数的符号表示。可以通过专用的输入寄存器发送 signa 以及 signb 。不管符号表示如何，乘法器都会支持全精度。

c) 输出寄存器

根据乘法器的操作模式，可以用 18 bit 或 36 bit 的形式来使用输出寄存器对嵌入式乘法器的输出进行寄存。下面的控制信号可用于嵌入式乘法器中的每一个输出寄存器：

- 时钟
- 时钟使能
- 同步/异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号驱动，时钟使能信号以及异步清零信号驱动可以独立配置。

关于 DSP 的端口说明如下表所示：

表 2-5- 2 乘法器端口说明表

| 名称 | 方向 | 位宽 | 描述 |
|-------|----|----|--|
| mia | 输入 | 18 | 来自 PID 的 dsp 操作数输入。具有寄存器输入模式。 |
| Acin | 输入 | 18 | 来自前一级 dsp 的 acout 端口上的级联数据输入。具有寄存器输入模式。 |
| Acout | 输出 | 18 | 连接到下一级 dsp 的 acin 端口上的级联数据输出。 |
| Mib | 输入 | 18 | 来自 PIB 的 dsp 的另一操作数输入。具有寄存器输入模式。 |
| Bcin | 输入 | 18 | 来自前一级 dsp 的 bcout 的级联数据输入。具有寄存器输入模式。 |
| Bcout | 输出 | 18 | 连接到下一级 dsp 的 bcin 端口上的级联数据输出。 |
| Cea | 输入 | 1 | 输入寄存器的时钟使能信号。当 cea 为高电平时， amux 的输出传送给寄存器。 |
| Ceb | 输入 | 1 | 输入寄存器的时钟使能信号。当 ceb 为高电平时， bmux 的输出传送给寄存器。 |
| Cepd | 输入 | 1 | 输出寄存器的时钟使能信号。当 cepd 为高电平， dsp 的数据输出传送给寄存器。 |

| | | | |
|---------|----|----|--|
| Clk | 输入 | 1 | clk 是 dsp 的输入时钟，共同作用于内部所有的寄存器。 |
| Rsta_n | 输入 | 1 | 输入寄存器的复位信号。当 rsta_n 输入为低电平时，寄存器的输出为“0”。 |
| Rstb_n | 输入 | 1 | 输入寄存器的复位信号。当 rstb_n 输入为低电平时，寄存器的输出为“0”。 |
| Rstpd_n | 输入 | 1 | 输出寄存器的复位信号。当 rstpd_n 输入为低电平时，寄存器的输出为“0”。 |
| Sourcea | 输入 | 1 | 第一级数据选择器的控制端。当 sourcea 为高电平时，MUX 的输出是 a，当 sourcea 为低电平时，MUX 的输出是 acin。 |
| Sourceb | 输入 | 1 | 第一级数据选择器的控制端。当 sourceb 为高电平时，MUX 的输出是 b，当 sourceb 为低电平时，MUX 的输出是 bcin。 |
| Mpd | 输出 | 36 | dsp 的乘积数据输出。 |

2.5.2 操作模式

根据不同的应用需要，可以选择如下两种的乘法器工作模式的一种：

- 一个 18×18 乘法器
- 最多两个 9×9 独立的乘法器

通过使用 EAGLE 器件的嵌入式乘法器，可以实现乘法加法器和乘法累加器功能，该功能的乘法器部分由嵌入式乘法器来实现，而加法器或者累加器功能则在逻辑单元中实现。

a) 18 位乘法器

通过配置每一个嵌入式乘法器，来支持 10 到 18 位输入位宽的单一 18×18 乘法器。图 2-5-3 给出了配置后的嵌入式乘法器，以支持一个 18 位乘法器。

所有的 18 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。另外，也可以动态修改 signa 与 signb 信号，并且通过专用的输入寄存器发送这些信号。

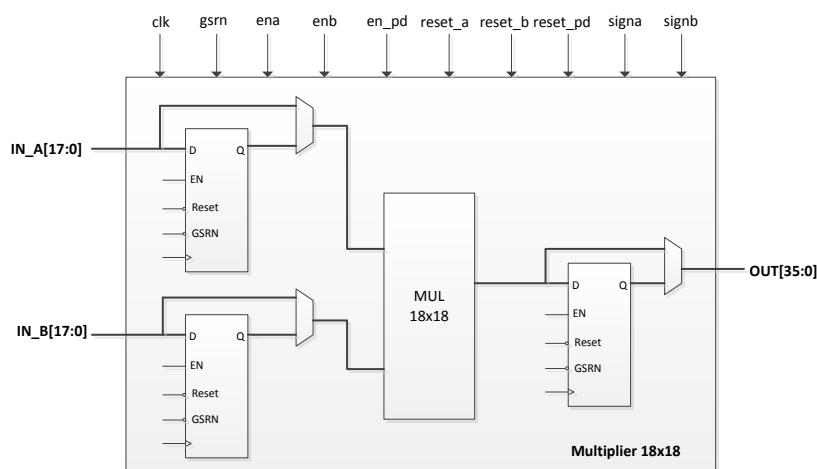


图 2-5-3 18 位乘法器模式

b) 9 位乘法器

通过配置每一个嵌入式乘法器，以支持最多 9 位输入位宽的两个 9x9 乘法器。图 2-5-4 给出了配置后的嵌入式乘法器，以支持两个 9 位乘法器。

所有的 9 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。同一嵌入式乘法器模块中的两个 9×9 乘法器共享同一个 **signa** 和 **signb** 信号。因此，用于驱动同一嵌入式乘法器的所有 **mia** 输入数据必须要有相同的符号表示。同样，用于驱动同一嵌入式乘法器的所有 **mib** 输入数据也必须要要有相同的符号表示。

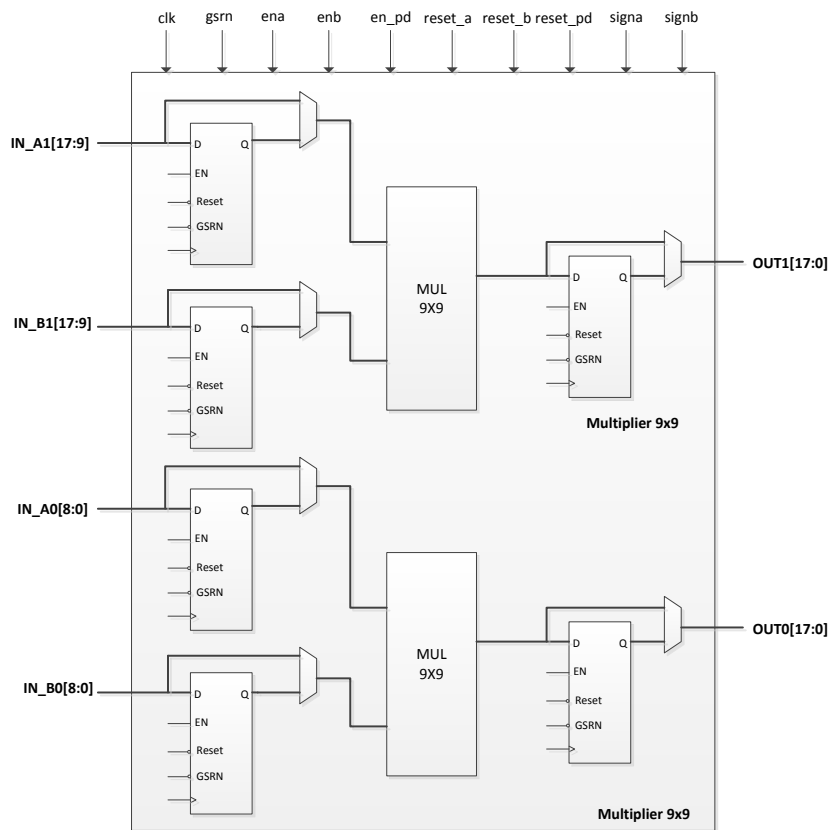


图 2-5-4 9 位乘法器模式

2.6 输入输出逻辑（IOL）

EAGLE 器件的 IOL 逻辑支持多种工作模式。本章节主要介绍如何配置 IOL 资源支持多种工作模式。

2.6.1 输入寄存器

输入输出逻辑（IOL）中的输入寄存器用来处理高速接口，将其降低为内部核心逻辑可以处理的频率。输入寄存器中均包含可配置延时单元作为数据采样处理辅助。在此基本功能基础上增强了对通用双边沿数据(GDDR)的支持。

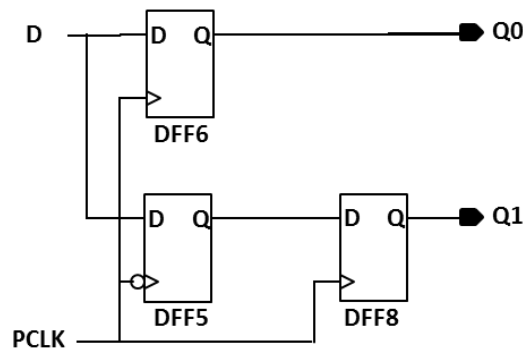


图 2-6- 4 lgddr 同沿输入模式框图

在 iDDR_{x1} 同沿模式，DFF5 和 DFF6 分别在下降沿和上升沿采样输入数据，DFF8 把 Q1 数据同步到时钟上升沿。由于 DFF8 的引入 Q1 数据相对于 Q0 要晚一个时钟周期，时序如图 2-6- 5 所示。

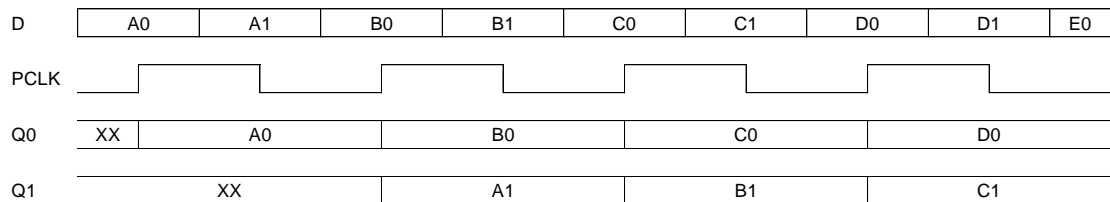


图 2-6- 5 lgddr 同沿输入模式

■ iDDR_{x1} 同沿 Pipelined 输入模式

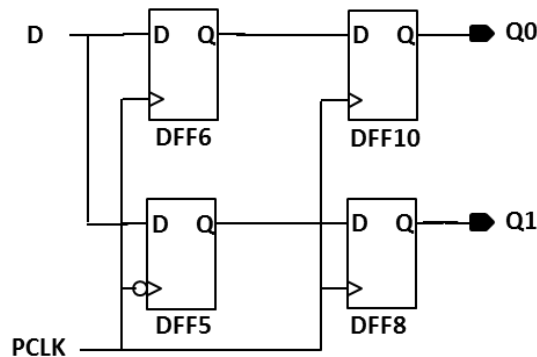


图 2-6- 6 lgddr 同沿 Pipelined 输入模式框图

在 iDDR_{x1} 同沿模式中 Q1 相对于 Q0 要晚一个时钟周期，为补偿该延时，引入 DFF10，如图 2-6- 6 所示。时序如图 2-6- 7 所示。

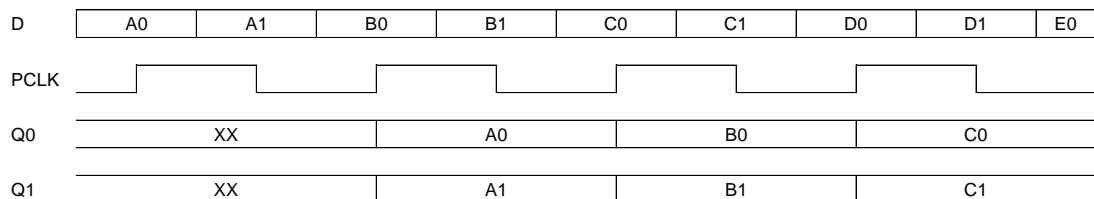


图 2-6- 7lgddr 同沿 Pipelined 输入模式

■ iDDR_x2 输入模式

iDDRx2 模式下, 可以支持更高的 IO 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一级采样 DFF 由 SCLK 触发, 实现高速数据的采样和 1:2 的分离。第二级分离 DFF 由 FPGA 系统时钟 PCLK 触发, 实现数据与内核逻辑的同频。PCLK 为 SCLK 速度的一半。

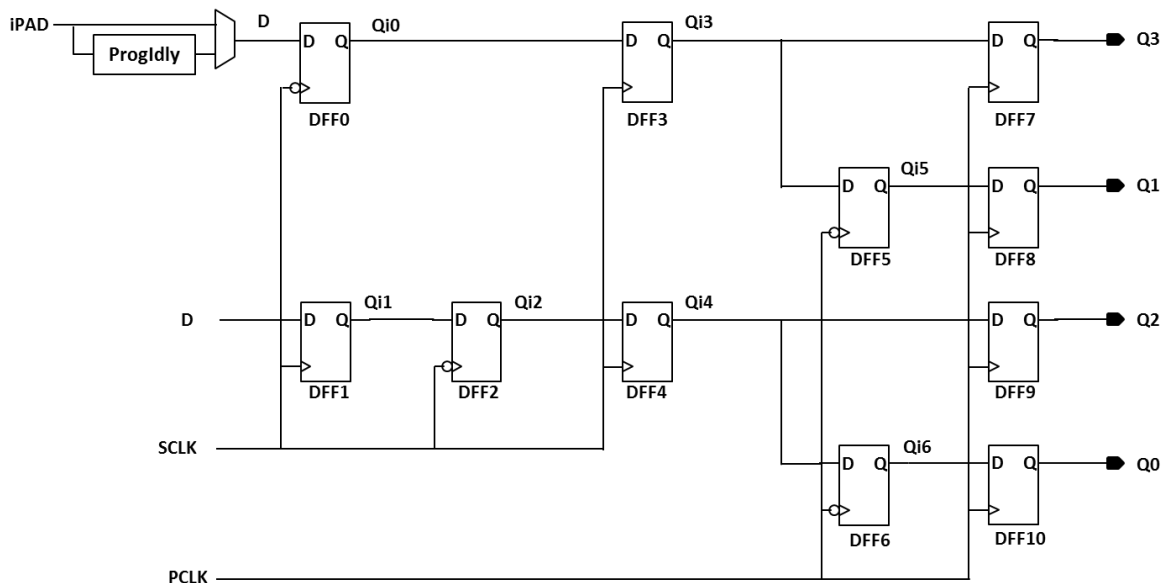


图 2-6- 8iDDRx2 输入模式

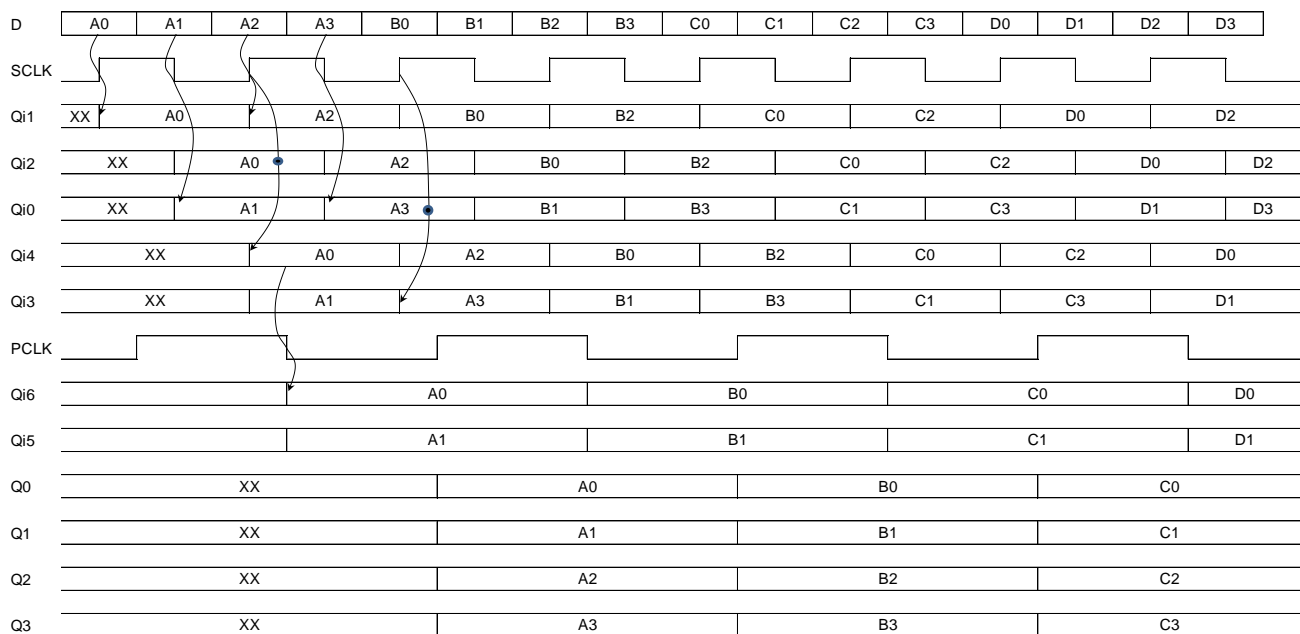


图 2-6-9 iDDRx2 输入模式时序

d) 输入延时单元

每一个 IOL 逻辑单元内都包含一个可编程输入延时单元，支持 32 级调节，最大延时 3.8ns。支持静态控制延迟的方式。

2.6.2 输出寄存器

输入输出逻辑（IOL）中的输出寄存器用来处理内部核心逻辑到高速 I/O 接口的时序。图 2-6-10 给出了输出寄存器框图。

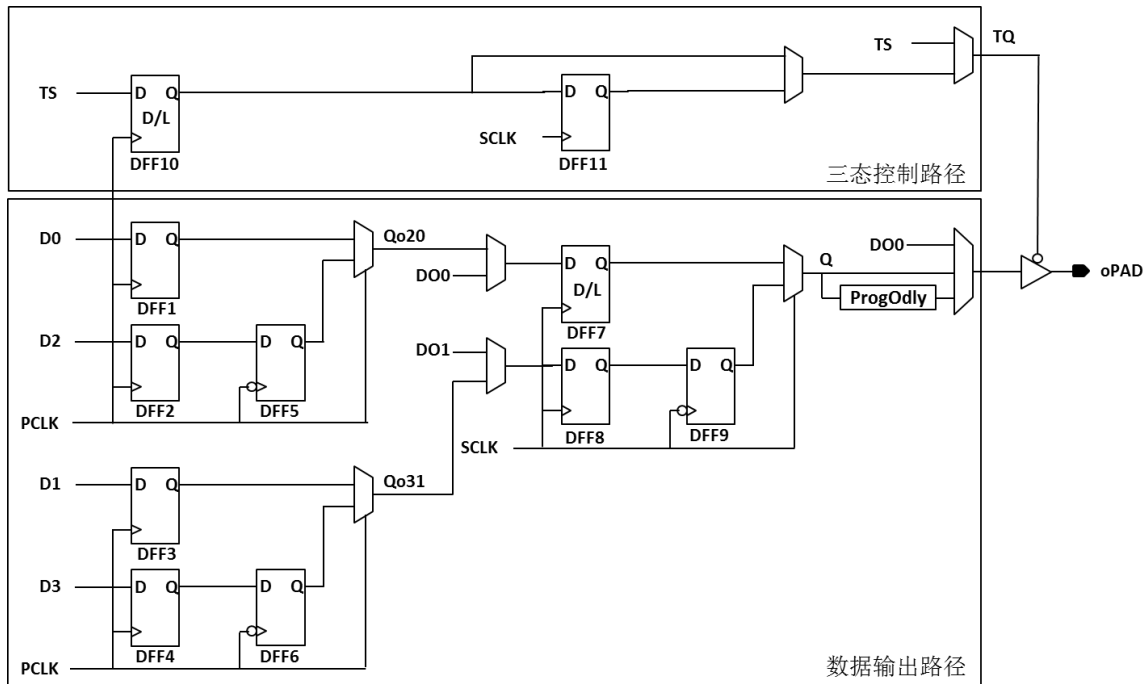


图 2-6-10 输出寄存器框图

a) 普通输出模式

普通输出模式下的 IO 逻辑如图 2-6-11 所示，此模式下信号直接从 FPGA 内部逻辑输出到 PAD。

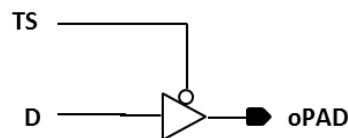


图 2-6-11 普通输出模式框图

b) SDR 输出模式

相比普通模式，如图 2-6-12，SDR 模式使用了 IOL 寄存器，可以有效地改善 IO 的时序性能。

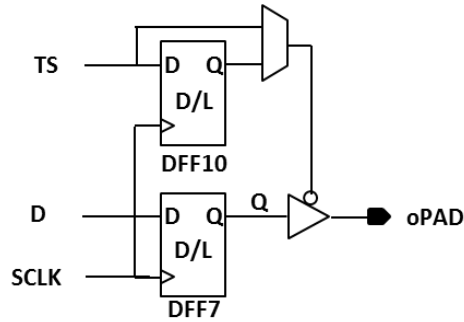


图 2-6- 12 SDR 输出模式框图

c) DDR 输出模式

EAGLE 器件 IOL 中有专用的寄存器用以支持 oDDRx1 和 oDDRx2 模式。

■ oDDRx1 输出模式

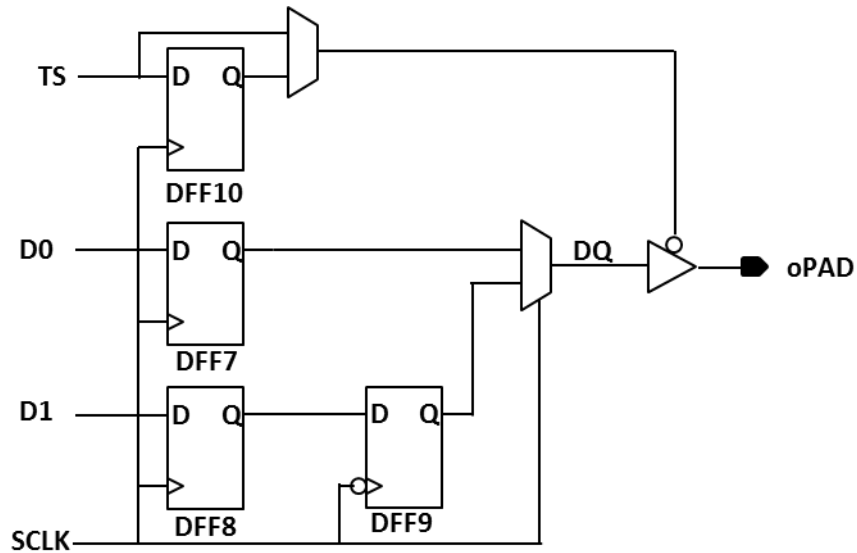


图 2-6- 13 oDDRx1 输出模式框图

在 oDDRx1 模式，数据 D0 和 D1 被 SCLK 同沿采样进 DFF7 和 DFF8，并分别在上升沿和下降沿输出到 Opad，时序如图 2-6- 14 所示。

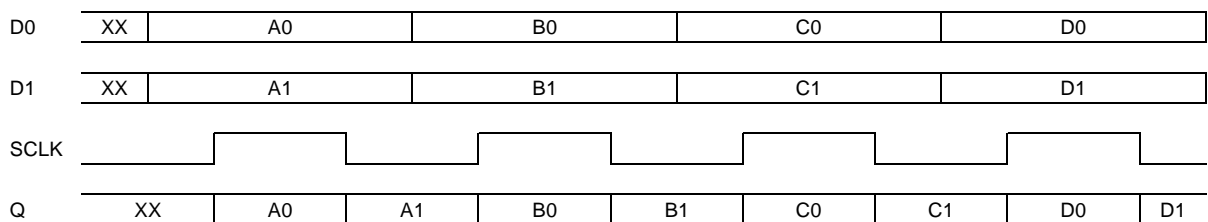


图 2-6- 14 Ogddr 输出模式

■ oDDRx2 输出模式

oDDRx2 模式下，可以支持更高的 IO 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一部分 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据的采样和 2:1 并串转换。第二部分 DFF 由高速 SCLK 触发，实现数据高速串行输出。PCLK 为 SCLK 速度的一半。

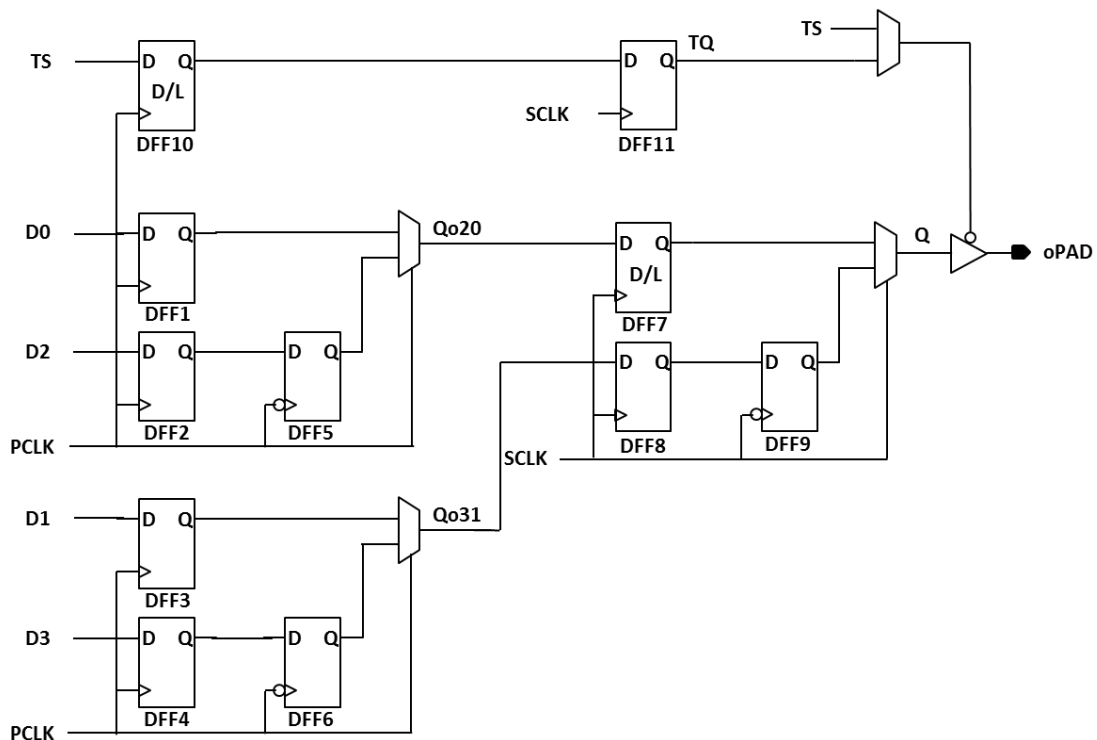


图 2-6- 15 oDDRx2 输出模式

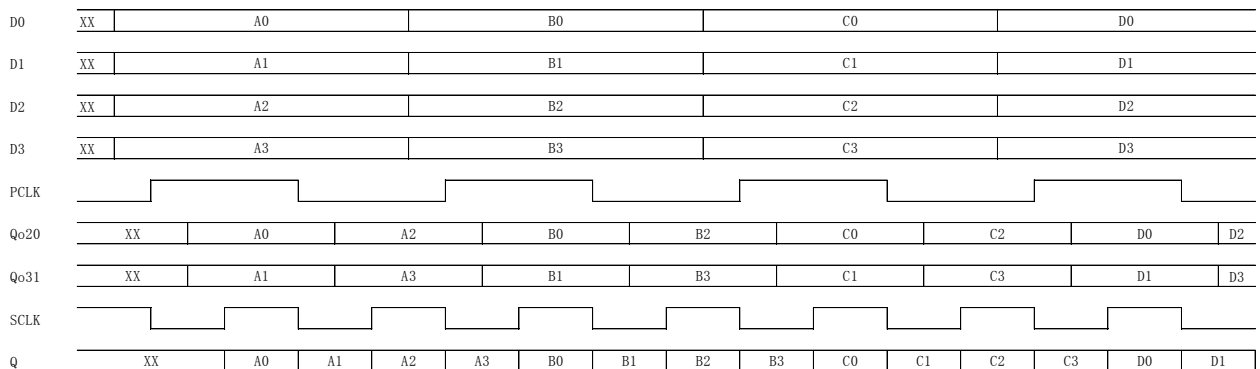


图 2-6- 16 oDDRx2 输出模式时序

■ oDDRx2L 输出模式

与 oDDRx2 相比，oDDRx2L 模式直接使用内部 SCLK 的 2 分频作为 PCLK，节省 1 个 CLK。数据输出比 oDDRx2 模式晚一个 SCLK 时钟周期。

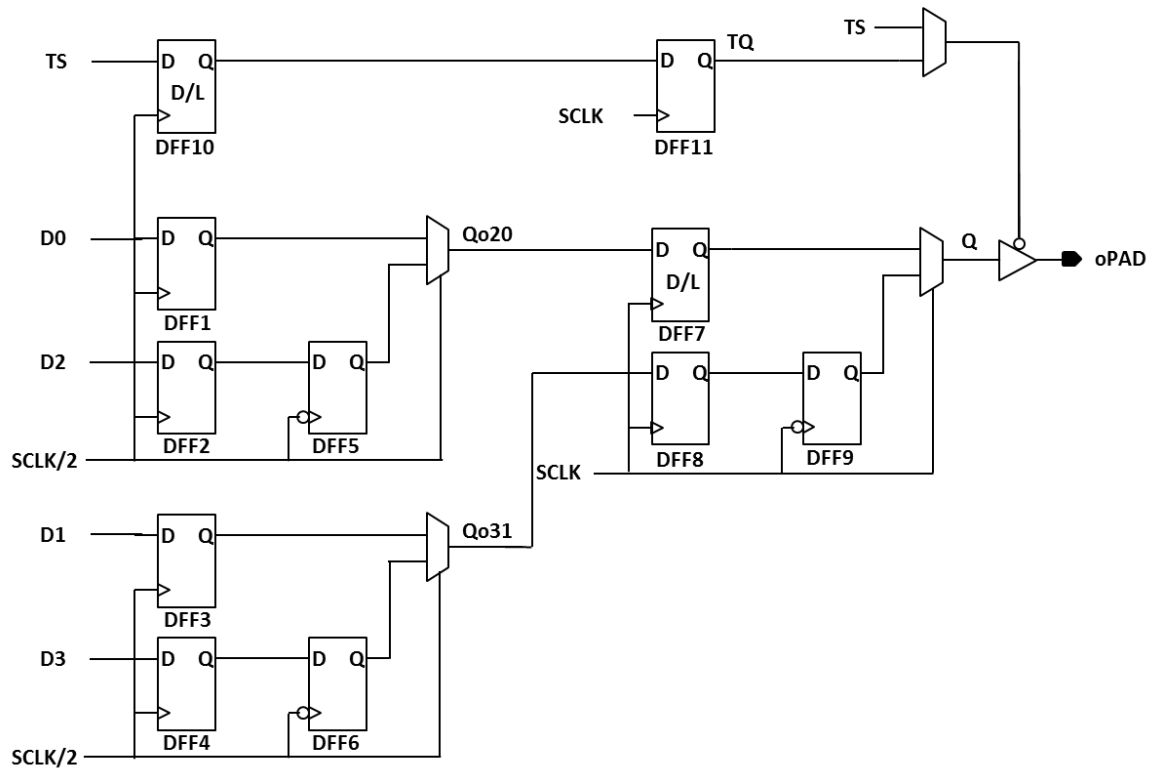


图 2-6- 17 oDDRx2L 输出模式

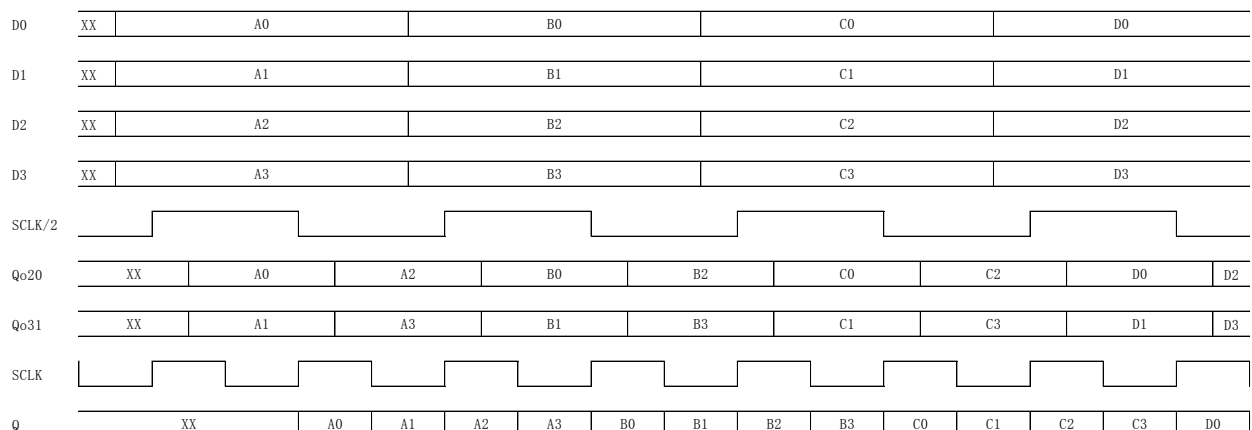


图 2-6- 18 oDDRx2L 输出模式时序

d) 输出延时单元

每一个 IOL 逻辑单元内都包含一个可编程输出延时单元，总共支持 4 级调节，每级延时 100ps。支持静态控制延迟的方式。

2.7 输入输出缓冲器 (IOB)

2.7.1 IOB 简介

EAGLE 具有可配置高性能 I/O 驱动器和接收器，可支持种类繁多的标准接口。强大的功能集包括输出强度和斜率的可编程控制。

每个 IOB 包含输入、输出和三态驱动器。这些驱动器可以按照各种 I/O 标准配置。差分 I/O 使用在一个模块中的两个 IOB。

- 单端 I/O 标准 (LVCMOS、LVTTL、PCI)
- 差分 I/O 标准 (LVDS、LVPECL、BLVDS)

IOB 支持上述电平标准的同时，IOB 支持以下配置项：

- 输出驱动能力调节
- 输出 Slew Rate 调节
- 弱上拉/下拉电阻选择配置
- PCI Clamp 使能
- Bus Hold 功能使能

图 2-7-1 所示为基本 IOB 及其与内部逻辑和器件焊盘的连接。

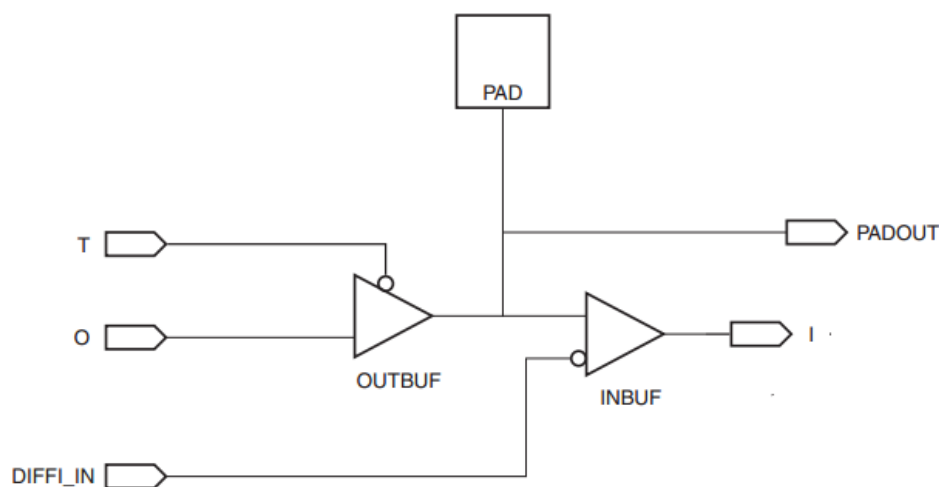


图 2-7-1 基本 IOB 框图

各 IOB 直接连接 IOL 组成输入输出逻辑对，该逻辑对包含输入和输出逻辑资源，可用于数据和 IOB 的三态控制。

2.7.2 高速 LVDS 接口

EAGLE 器件支持的差分标准见表 2-7-1

表 2-7-1 EAGLE 支持的差分标准

| 差分标准 | I/O Location | 接收 | | 发送 | |
|-----------|--------------|-----|------|-----|------|
| | | 支持 | 外部电阻 | 支持 | 外部电阻 |
| LVDS | 左/右 | Yes | No | Yes | No |
| | 上/下/左/右 | Yes | Yes | Yes | 3 电阻 |
| RSDS | 左/右 | Yes | No | Yes | No |
| | 上/下/左/右 | Yes | Yes | Yes | 3 电阻 |
| mini-LVDS | 左/右 | Yes | No | Yes | No |
| | 上/下/左/右 | Yes | Yes | Yes | 3 电阻 |
| PPDS | 左/右 | Yes | No | Yes | No |
| | 上/下/左/右 | Yes | Yes | Yes | 3 电阻 |
| BLVDS | 上/下/左/右 | Yes | Yes | Yes | Yes |
| LVPECL | 左/右 | Yes | No | - | - |
| | 上/下/左/右 | Yes | Yes | Yes | 3 电阻 |

True LVDS 与 Emulated LVDS 均可作为 LVDS25 标准输入，最大输入频率 400 MHz(800Mbps)。

作为输出时，True LVDS 采用 LVDS25 标准直接输出 LVDS 电平标准，无需外部匹配电阻，如图 2-7-2 所示，最大输出频率是 400MHz(800Mbps)。

Emulated LVDS 作为输出时采用 LVDS25E 标准，最大输出频率 166MHz，且要外接 3R 电阻网络对输出电压摆幅进行衰减以满足 LVDS 标准，如图 2-7-3 所示。可以通过改变电阻网络值来降低功耗或者改善噪声容限。

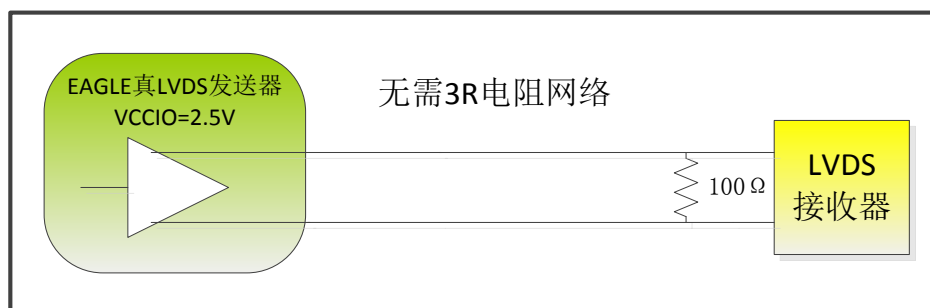


图 2-7-2 True LVDS 输出

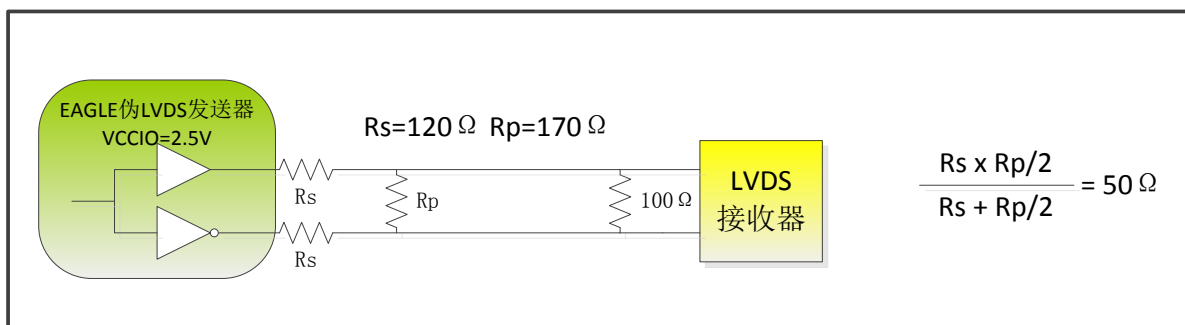


图 2-7- 3 Emulated LVDS 输出 3R 电阻网络

2.7.3 I/O 分组

EAGLE 器件有 8 个 I/O 组：每个边有两个用户 I/O 组。组 1 位于靠近配置逻辑（config）的下方，包含专用/共享配置接口。

每一个 I/O 组包含两个参考电压输入。每一个 I/O 组由对应的 VCCIO 供电。

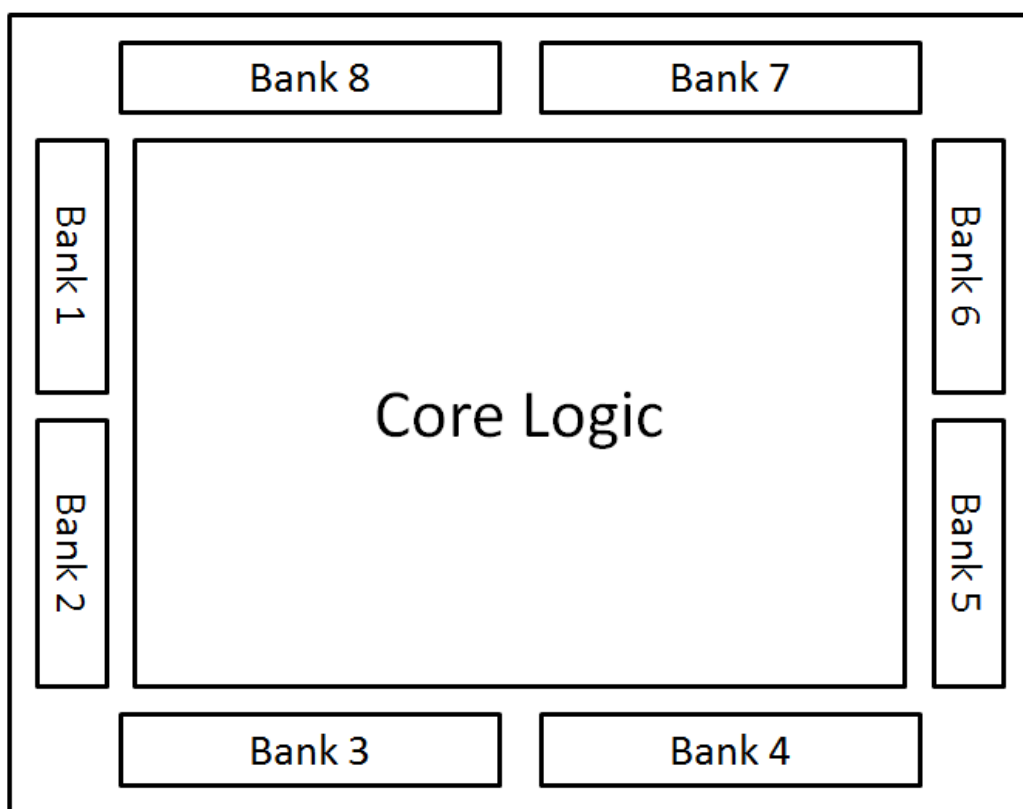


图 2-7- 4 I/O 组示意图

2.7.4 兼容 5V 输入

EAGLE I/O 可以工作在 1.2-3.3V 电压范围，不能直接接收 5V 输入。如果 5V 电压信号驱动到 Eagle 器件的输入，需要外部串接电阻，同时在软件中打开 Eagle I/O 内部的 PCI 箝位二极管把输入端口接收到的电压降到器件安全范围内。

电阻 R 值依赖于 PCI 箝位二极管的电流特性，二极管的电压电流特性见表 2-7-2。

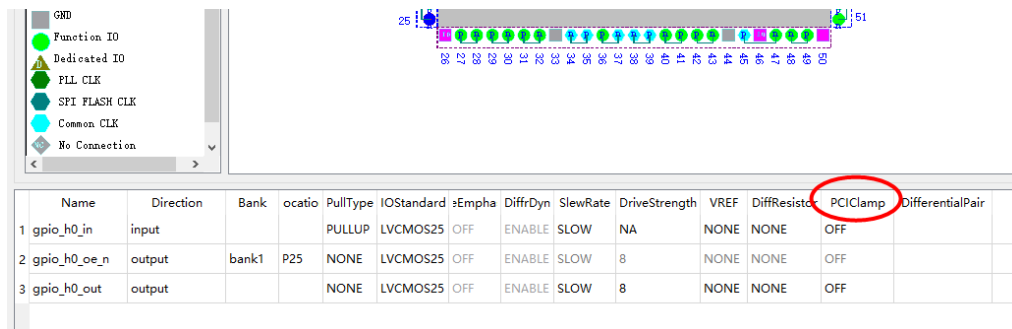


图 2-7- 5 箝位二极管开关设置

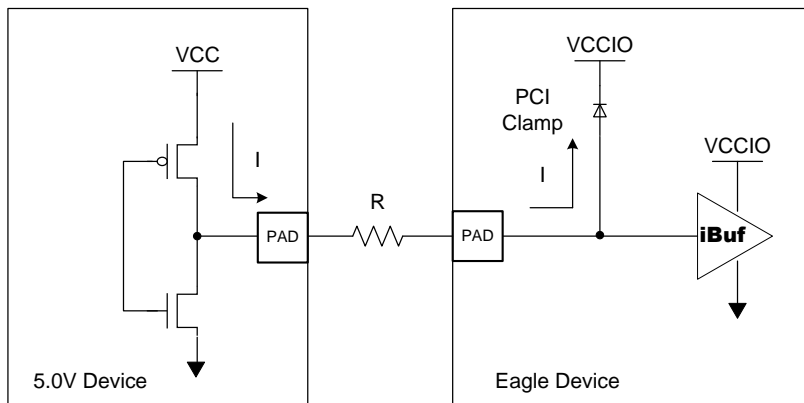


图 2-7- 6 5V 输入驱动 Eagle 器件

表 2-7- 2 PCI 箝位二极管的电流特性

| V_D (V) | I_{max} | Unit |
|-----------|-----------|------|
| 0.0 | 0.92 | uA |
| 0.1 | 9.2 | uA |
| 0.2 | 20 | uA |
| 0.3 | 30.4 | uA |
| 0.4 | 43.3 | uA |
| 0.5 | 76.5 | uA |
| 0.6 | 0.15 | mA |
| 0.7 | 0.36 | mA |
| 0.8 | 2.85 | mA |
| 0.9 | 9.42 | mA |

为支持 5V 输入，建议 VCCIO 电压工作在 2.5-3.0V 范围，否则 IO 电压会超过安全电压，长期使用会降低器件寿命。

I/O 器件最大容限绝对电压为 VIMAX=3.7V，设置 VCCIO=2.5V，取分压后 IO 输入端接收到的电压 VI=3.3V，则二极管上的压降为 VDIO = VI - VCCIO = 3.3 - 2.5 = 0.8V。IDIO @0.8V = 2.85mA， $R = (5 - 3.3)V / 2.85 \text{ mA} = 596\Omega$ 。

在输入端箝位通路分别串接不同阻值电阻，在 EAGLE 接收端测量波形。串接电阻 R=330 Ohm，上升时间为 7.8ns，下降时间为 12ns，见图 2-7-7

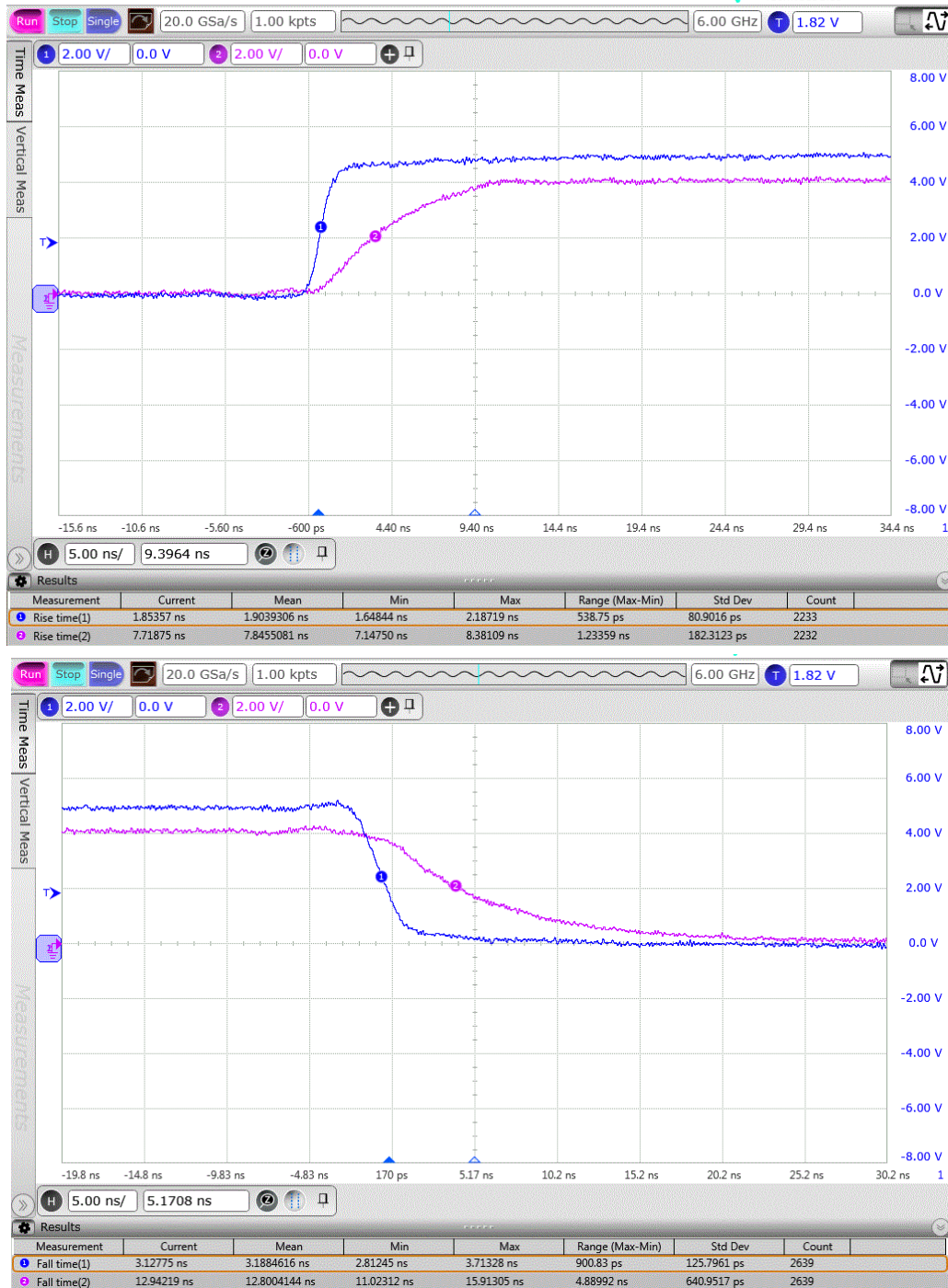


图 2-7-7 5V 输入驱动 EAGLE 器件接收端波形 @R=330 Ohm

串接电阻 $R=600\ \Omega$ ，上升时间为 12ns，下降时间为 21ns，见图 2-7-8

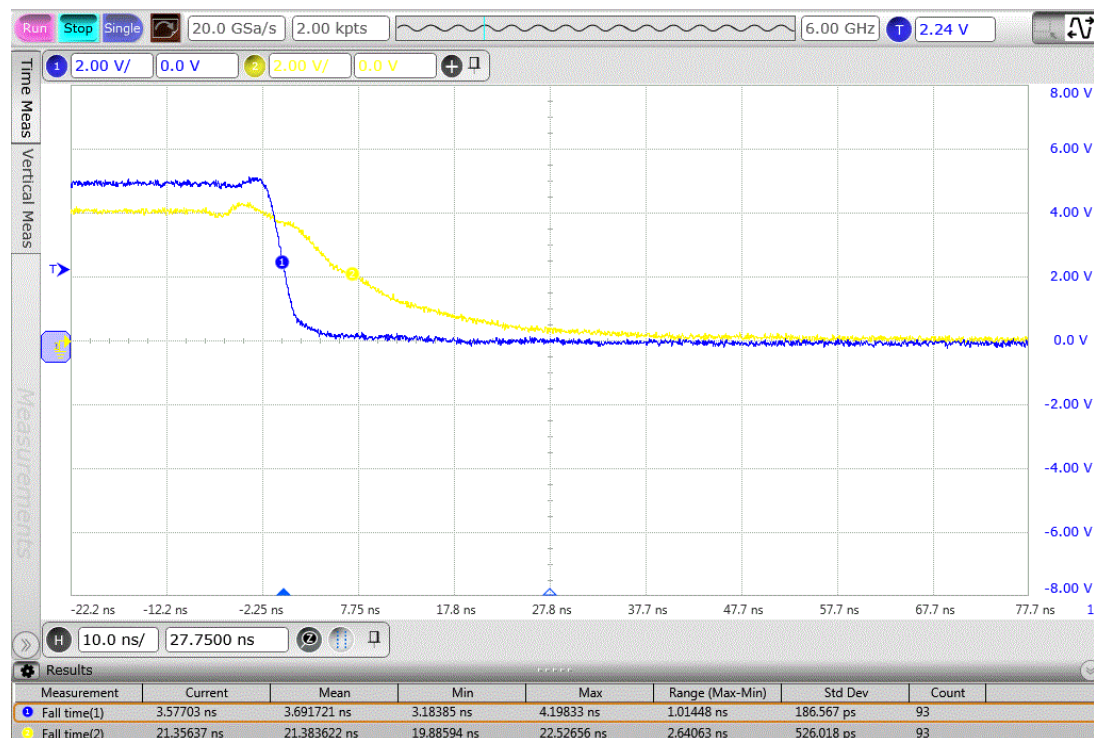
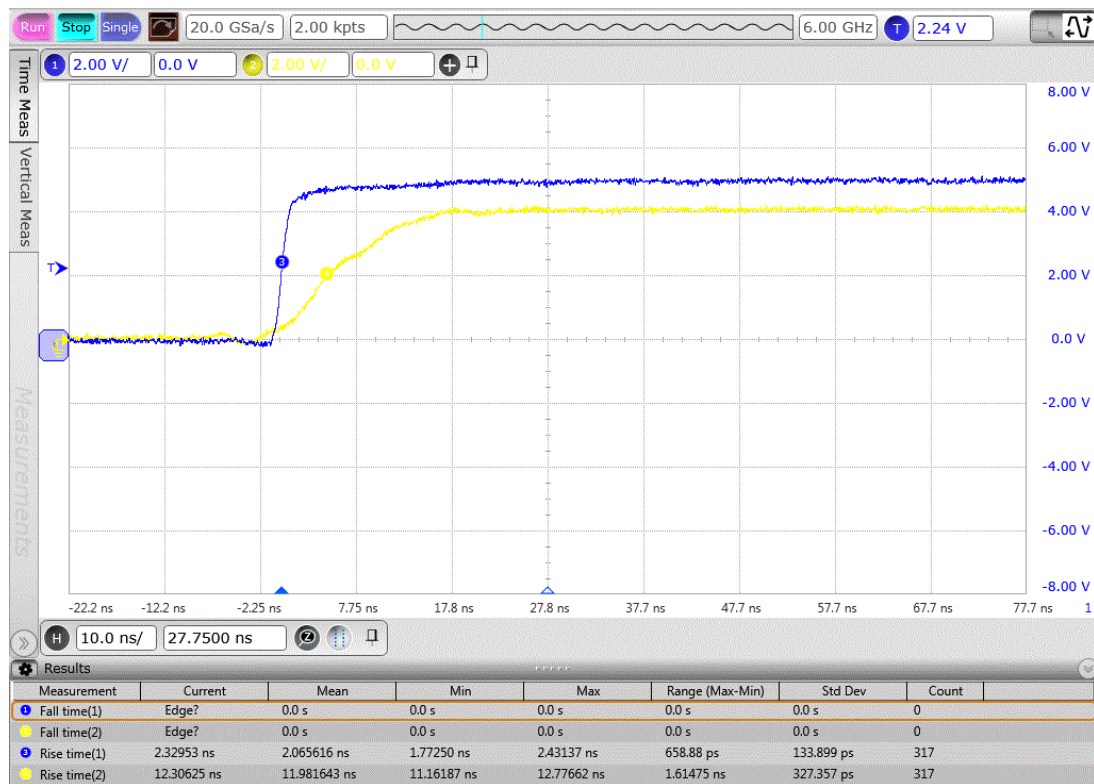


图 2-7-8 5V 输入驱动 EAGLE 器件上升/下降沿 @ $R=600\ \Omega$

2.8 电源监控模块

EAGLE 器件包含一个电源监测模块，在恶劣电源应用环境下实现对电源的监控。当受监控电源低于设定电平时，pwr_dwn_n 从“H”变为“L”给出电源工作不正常标识。pwr1 和 pwr2 和 BANK 电压相连，用户可以使用该模块对不同的电源进行监控，在发现电源异常时能够进行记录或者采取相应的措施。

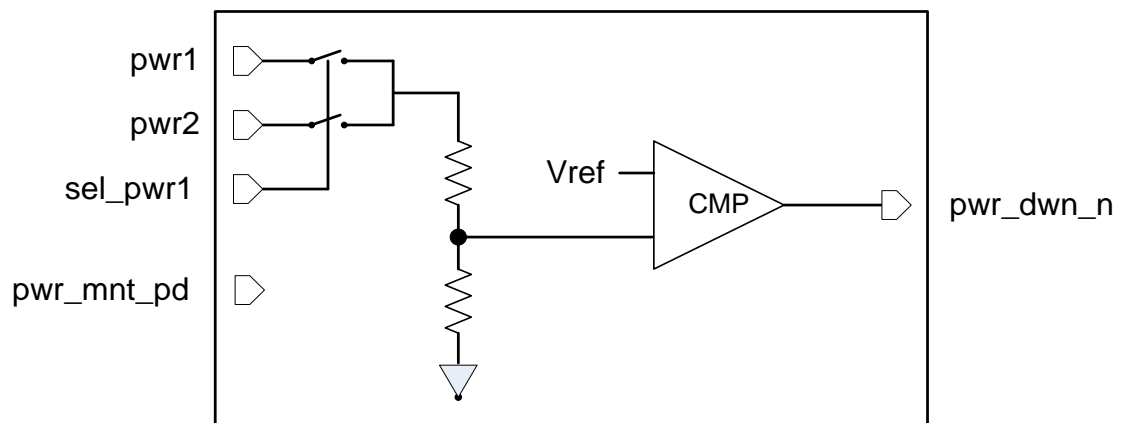


图 2-8- 1 电源监控模块框图

用户可以通过调用 EG_PHY_PWRMNT IP，动态控制电源监控模块。

```
module EG_PHY_PWRMNT (sel_pwr, pwr_mnt_pd, pwr_dwn_n);
    output pwr_dwn_n;
    input sel_pwr;
    input pwr_mnt_pd;
    parameter MNT_LVL = 0;
endmodule
```

图 2-8- 2 电源监控模块 IP

表 2-8- 1 配置端口列表

| EG_PHY_PWRMNT | 方向 | 说明 |
|---------------|-----------|--------|
| sel_pwr | 输入 | 监控端口选择 |
| pwr_mnt_pd | 输入 | 掉电使能 |
| pwr_dwn_n | 输出 | 监控状态输出 |
| MNT_LVL | parameter | 电压阈值选择 |

注 1：不同封装 sel_pwr 监控对象略有不同，请参照引脚列表注释

注 2：MNT_LVL 与电压阈值的对应关系，请参照 3.1.10 节电源监测模块电学特性

2.9 EAGLE FPGA 配置说明

EAGLE FPGA 芯片有两种 IO 布局：EG4A 和 EG4X，分别兼容 A 家和 X 家的配置模式。配置是通过往芯片内部装载配置数据来实现。EAGLE FPGA 芯片有一部分引脚是专用配置引脚，另一部分是复用引脚，TD 软件提供复用引脚的配置功能，在配置完成之后可以用做一般输入输出。

2.9.1 配置模式

EAGLE FPGA 支持 5 种配置方式，分别是从动串行，从动并行，主动并行，MSPI 模式和 JTAG 配置模式。配置模式分别由 EG4A MSEL[2:0]和 EG4X M[1:0]的模式选择信号来选择，具体选择关系见表 2-9-1 和表 2-9-2。

EAGLE 系列 FPGA 配置位流长度 4.8M~6Mbits，位流长度与 BRAM 初始化数据长度相关，需要配置芯片容量大于或等于 6M bits。配置芯片可以使用工业标准串行 SPI 接口 FLASH，比如 M25Pxx、SST25LFxxx、S25FLxxx 等。EAGLE FPGA 支持读命令为 0X03 的 SPI FLASH。

a) EG4A 配置模式

表 2-9-1 EG4A 配置模式及引脚

| 配置模式 | | | | | | |
|--------------------|----|----------------------|------------------------|----------------------------------|---------------------------------|-------------------|
| 配置引脚 | 类型 | SS | SP | MSPI | MP | JTAG |
| | | 从动串行 Slave serial | 从动并行 Slave Parallel | 标准 SPI Master SPI Standard | 主动并行 Master Parallel (X8) | |
| MSEL[2:0] | 复用 | 000/001 | 110/111 | 010/011/100 | 101 | XXX |
| PROGRAMN | 复用 | PROGRAMN | | | | |
| INITN | 复用 | INITN | | | | |
| DONE | 复用 | DONE | | | | |
| CCLK | 复用 | CCLK | | | | |
| CSN | 复用 | CSN | CSN | CSN | CSN | |
| TMS TCK TDO TDI | 复用 | | | | | TMS CK TDO TDI |
| D[7:2] | 复用 | - | D[7:2] | | D[7:2] | |
| D[1]/ MOSI | 复用 | - | D[1] | MOSI | D[1] | |
| D[0]/DIN/ MISO | 复用 | DIN | D[0] | MISO | D[0] | |
| SPICSN | 复用 | | | SPICSN | | |
| CSON/DOUT | 复用 | CSON /DOUT | CSON | CSON /DOUT | CSON | |

下面是 EG4A 复用配置引脚：

- 配置模式选择引脚（MSEL[0], MSEL[1], MSEL[2]）
- 配置时钟引脚（CCLK）
- 配置开始信号引脚（PROGRAMN）
- 配置完成引脚（DONE）
- 配置错误指示引脚（INITN）
- 模式配置片选引脚（CSN）
- 配置级联片选、数据输出脚（CSON/DOUT）
- 边界扫描相关引脚（TDI, TDO, TMS, TCK）
- 配置数据输入引脚（D[7:0]），其中 D[1]还可以作为 MSPI 模式下的 MOSI, D[0]还可以作为从模式下的 DIN 以及 MSPI 模式下的 MISO
- MSPI 模式 Flash 片选引脚（SPICSN）
- PROG ININ DONE 等信号的复用可能会导致重新加载等问题，不建议作为输入。但是可以作为输出管脚使用。

b) EG4X 配置模式

表 2-9- 2 EG4X 配置模式及引脚

| 配置模式 | | | | | | |
|--------------------|----|----------------------------|------------------------------|--|---------------------------------------|-------------------|
| 配置引脚 | 类型 | SS 从动串行 Slave serial | SP 从动并行 Slave Parallel | MSPI 标准 SPI Master SPI Standard | MP 主动并行 Master Parallel (X8) | JTAG |
| MSEL[1:0] | 复用 | 11 | 10 | 01 | 00 | XX |
| PROGRAMN_B | 复用 | PROGRAMN_B | | | | |
| INIT_B | 复用 | INITN_B | | | | |
| DONE | 复用 | DONE | | | | |
| CCLK | 复用 | CCLK | | | | |
| CSI_B/MOSI | 复用 | | CSI_B | MOSI | CSI_B | |
| TMS TCK TDO TDI | 复用 | | | | | TMS CK TDO TDI |
| D[7:1] | 复用 | - | D[7:1] | | D[7:1] | |
| D[0]/DIN/ MISO | 复用 | DIN | D[0] | MISO | D[0] | |
| CSO_B | 复用 | | CSO_B | CSO_B | CSO_B | |
| DOUT | 复用 | DOUT | | DOUT | | |

下面是 EG4A 复用配置引脚：

- 配置模式选择引脚（M[0], M[1]）
- 配置时钟引脚（CCLK）
- 配置开始信号引脚（PROGRAM_B）
- 配置完成引脚（DONE）
- 配置错误指示引脚（INIT_B）
- 并行模式配置片选引脚（CS1_B）
- MSPI 模式下的 MOSI (MOSI)
- 配置并行级联片选脚（CSO_B）
- 配置级联串行数据输出脚（DOUT）
- 边界扫描相关引脚（TDI, TDO, TMS, TCK）
- 配置数据输入引脚(D[7:0]), 其中 D[0]还可以作为从模式下的 DIN 以及 MSPI 模式下的 MISO。

根据不同的配置方式选择，CCLK 可以是 FPGA 芯片产生的时钟输出，也可以是外围电路产生的输入 FPGA 芯片。DONE/INITN/INIT_B 是带内部上拉的开漏输出。

PROG ININ DONE 等信号的复用可能会导致重新加载等问题，不建议作为输入。但是可以作为输出管脚使用。

2.9.2 配置流程

EAGLE FPGA 芯片的整个配置过程可以分三个部分。首先，在芯片上电复位或者系统复位信号有效后进入复位，等待内部信号和电源稳定后，系统进入初始化阶段，内部配置信息清除，初始化完成后，FPGA 开始接受配置数据写入，写入完成后，FPGA 芯片启动阶段，如图 2-9- 1 所示。

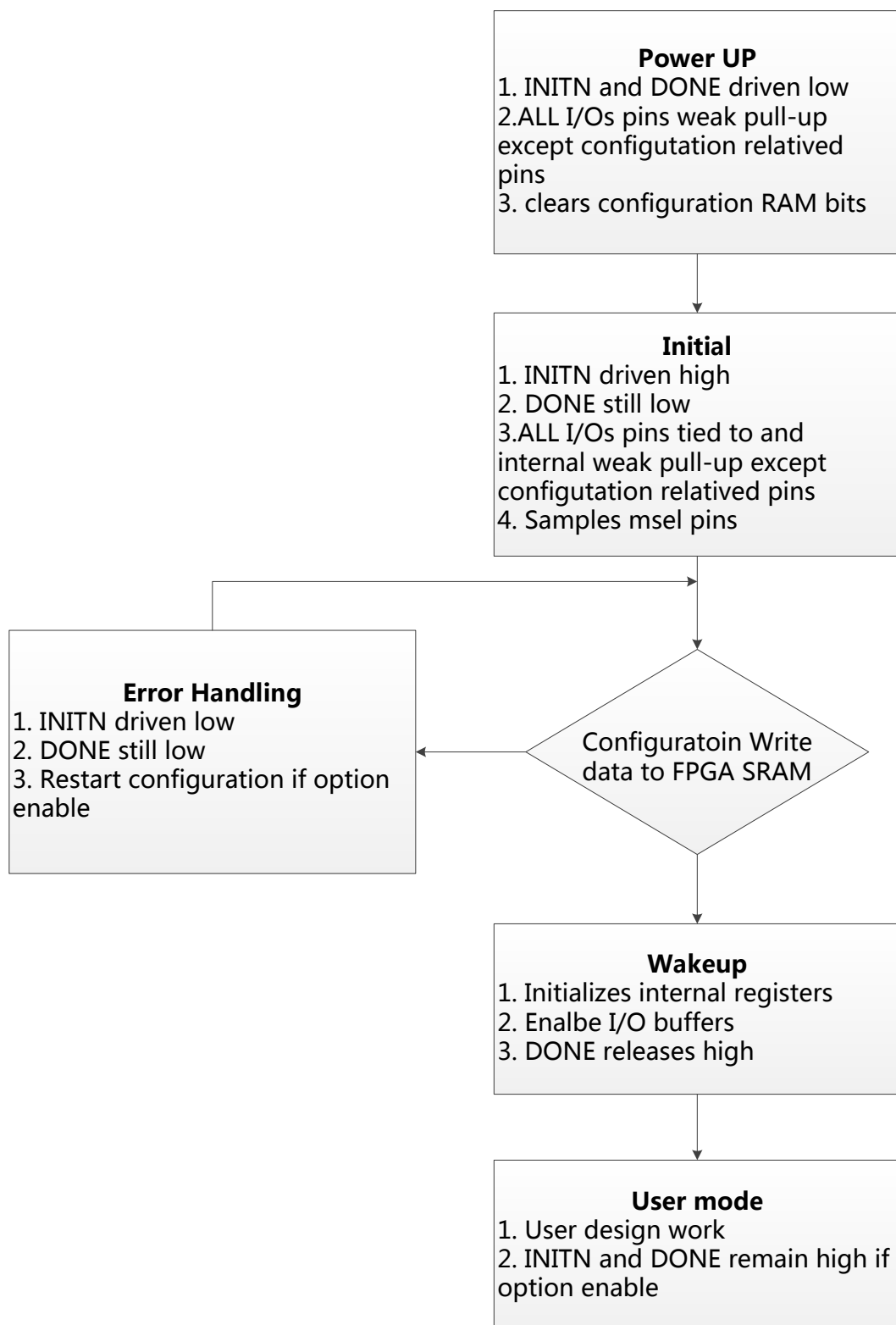


图 2-9- 1 EG4A MSPI 配置方式

1. 上电初始化过程

EAGLE FPGA 芯片上电后，系统需要经过初始化过程才能进入配置下载状态。另外，用户如果需要重新对配置数据下载，拉低 PROGRAMN/PROGRAM_B 后，系统进入初始化过程，初始化过程中，FPGA 将清除内部所有配置点，复位内部寄存器。

2. 配置数据写入

初始化完成后，INITN/INIT_B 信号变为高电平，此时用户配置数据可以写入 EAGLE FPGA。

INITN/INIT_B 信号变为高的时候，FPGA 采样模式选择信号电平，确定配置模式。JTAG 配置模式 INITN/INIT_B 信号变高后，可以在任何模式中进入。

配置过程中，INITN/INIT_B 信号变低表示配置位流出错，位流出错后可以选择重新加载。

3. 启动阶段

EAGLE FPGA 完成所有配置点和块 RAM 的数据写入之后，进入启动过程。EAGLE FPGA 启动主要完成以下功能：

- 1) 释放 DONE 信号。DONE 信号从低电平变为高电平表示 EAGLE FPGA 顺利完成数据配置，反之则表示没有顺利完成配置。
- 2) 释放全局三态信号 GTS。全局三态信号 GTS 的释放，能够释放所有 I/O 管脚。
- 3) 释放全局复位/置位信号 GSR，允许所有的触发器改变状态。
- 4) 释放全局写使能信号 GWE，允许所有的 RAM 和触发器能够被写入。

2.9.3 MSPI 配置模式

在 MSPI 模式下，EG4A 为 SPI 接口提供 2 个专用信号 MOSI 和 SPICSN，其中 MOSI 信号提供读命令，地址等信息，SPICSN 为 SPI 芯片片选；EG4X 为 SPI 接口提供 2 个专用信号 MOSI 和 CSO_B，其中 MOSI 信号提供读命令，地址等信息，CSO_B 为 SPI 芯片片选。

MSPI 模式下的时钟 CCLK 由内部振荡器产生，用户能够选择 CCLK 频率范围。芯片上电时 CCLK 设定为一个默认的低频率值，用户可以通过位流软件频率选项来更改 CCLK 频率，CCLK 频率范围从 2MHz~64MHz。

SPI FFLASH 数据写入可以使用安路 FPGA 下载线通过 JTAG 在线写入，批量生产时也可以安路离线下载器写入或者其他专用的烧写工具直接写入。

图 2-9-2 是 EG4A MSPI 配置方式连接图，PROGRAM 信号控制复位 EAGLE FPGA 配置，其中 INITN 和 DONE 信号为带内部上拉的开漏输出信号，DONE 信号变高，表示配置成功，芯片开始工作。配置时序如图 2-9-3 所示。

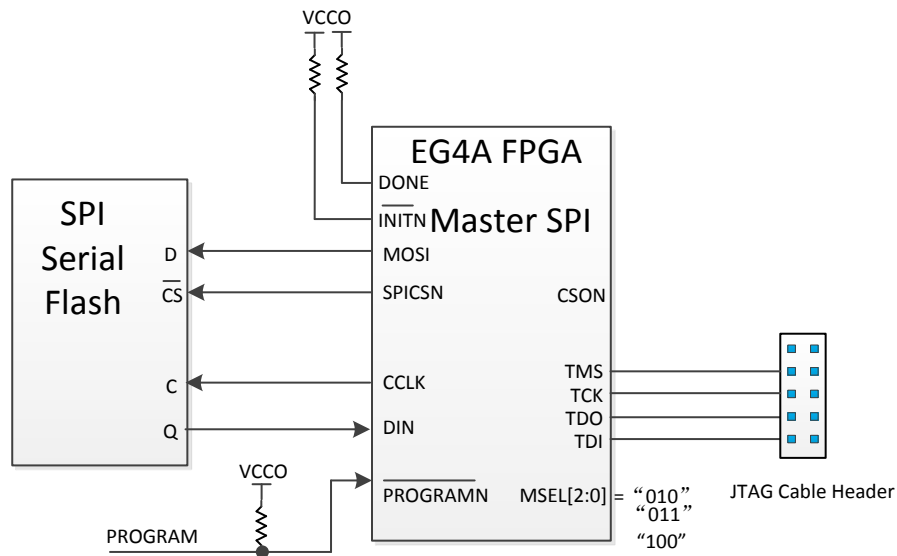


图 2-9- 2 EG4A MSPI 配置方式

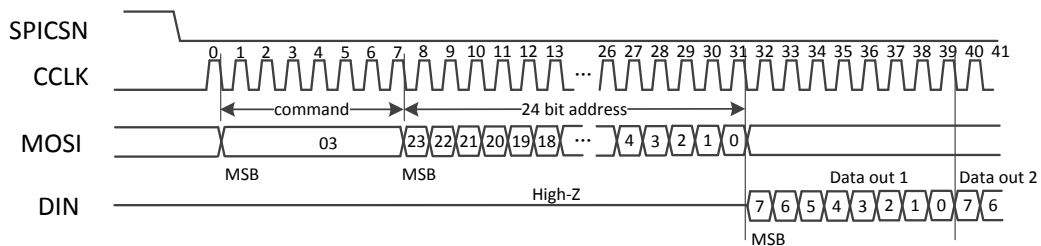


图 2-9- 3 EG4A MSPI 配置模式时序图

2.9.4 从动串行配置模式

从动串行（SS）模式下，FPGA 可以通过 MCU 进行加载。TD 软件可以生成 bin 文件(EG4X)或者 rbf 文件(EG4A)用于 MCU 加载。

MCU 通过 CCLK、DIN 信号使用串行方式将数据写入 FPGA。EAGLE FPGA 芯片在每个 CCLK 的上升沿接收数据，数据发送完成后，DONE 拉高表示配置完成，如果配置出错，会将 INITN/INIT_B 信号拉低。

EG4A 从动串行配置方式的时序如图 2-9- 4 所示。PROGRAMN 拉低后，INITN 信号被拉低，表示芯片开始初始化，大约 5ms 后芯片初始化完成，INITN 回到高电平，配置开始，FPGA 在时钟的上升沿采集配置数据，在配置完成之后，DONE 信号变高，表示配置成功，芯片开始工作。

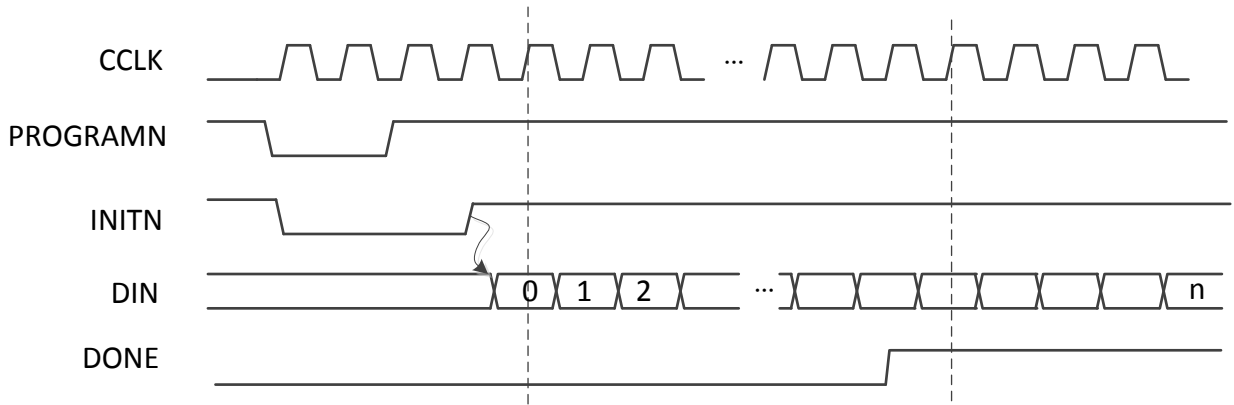


图 2-9- 4 EG4A 串行配置模式时序图

EG4X 从动串行配置方式的时序如图 2-9- 5 所示，过程与 EG4A 类似。

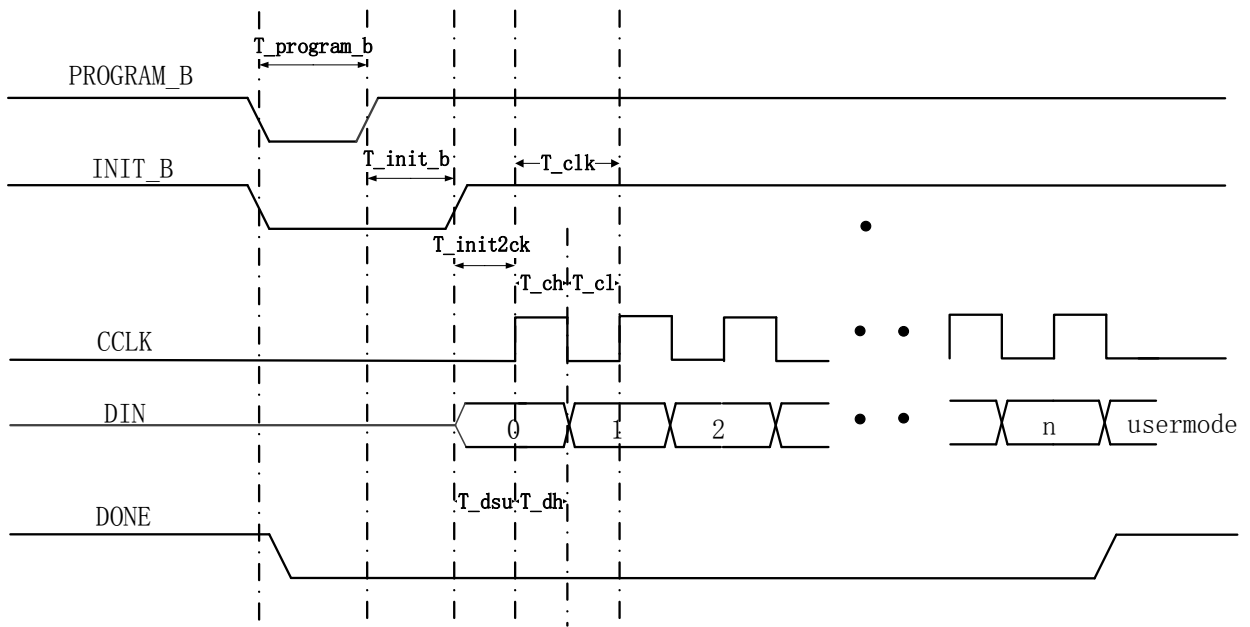


图 2-9- 5 EG4X 串行配置模式时序图

表 2-9- 3 EAGLE 从动串行时序规格表

| 符号 | 参 数 | 最 小 | 最 大 | 单 位 |
|-------------|--|------|------|-----|
| T_program_b | PROGRAM_B low pulse width | 1 | – | us |
| T_init_b | INIT_B low pulse width | 5 | 10 | ms |
| T_clk | CCLK period | 33 | – | ns |
| T_ch | CCLK high time | 16.5 | – | ns |
| T_cl | CCLK low time | 16.5 | – | ns |
| T_dsu | Data setup time | 16.5 | 16.5 | ns |
| T_dh | Data hold time | 0 | – | ns |
| T_init2ck | INIT_B high to first rising edge of CCLK | 2 | – | us |

2.9.5 串行配置模式级联

需要多个 FPGA 协同工作时，可以采用级联配置方法。EAGLE FPGA 支持 2 种级联方式：

Flow Through 和 Bypass 模式，级联工作模式由位流中的命令指定。EG4A 支持 Flow Through 和 Bypass 模式。EG4X 只支持 Bypass 模式。

在 EG4A 芯片的配置数据下载时，若采用 Flow Through 模式，第一块 FPGA 配置完成后，输出 CSON 启动第二款芯片进入配置。而 Bypass 模式下，第一块芯片配置完成后，配置给其他 FPGA 的数据在每个 CCLK 上升时刻输出给 DOUT 引脚。级联配置芯片的 DONE 和 INITN 引脚通过上拉电阻线与连接在一起，只有 2 片都完成配置后，通过 DONE 芯片同时开始工作。

图 2-9- 6 是 EG4A 串行配置方式 Flow Through 级联模式图，图中有 2 个 FPGA 级联配置，第一个采用主动串行模式，第二个采用从动串行模式。图 2-9- 7 是串行配置方式 Bypass 级联模式图。

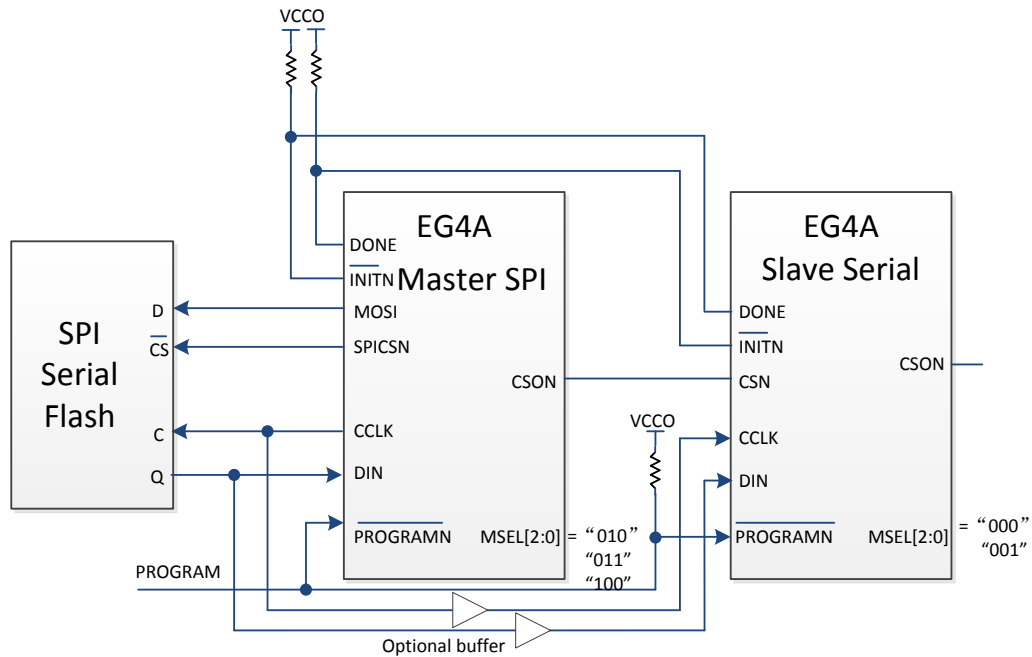


图 2-9- 6 EG4A 主动、从动串行采用 Flow Through 级联配置图

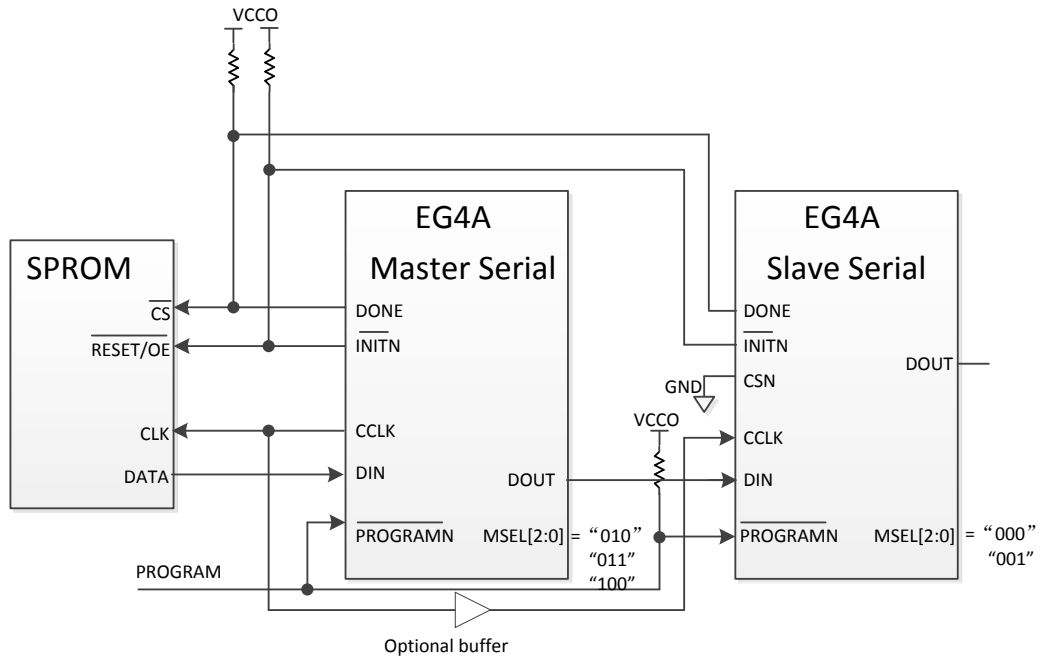


图 2-9-7 EG4A 主动、从动串行采用 Bypass 级联配置图

图 2-9-8 是 EG4X 串行配置方式 Bypass 级联模式图。存储器可采用 SPI flash 或 SPROM。

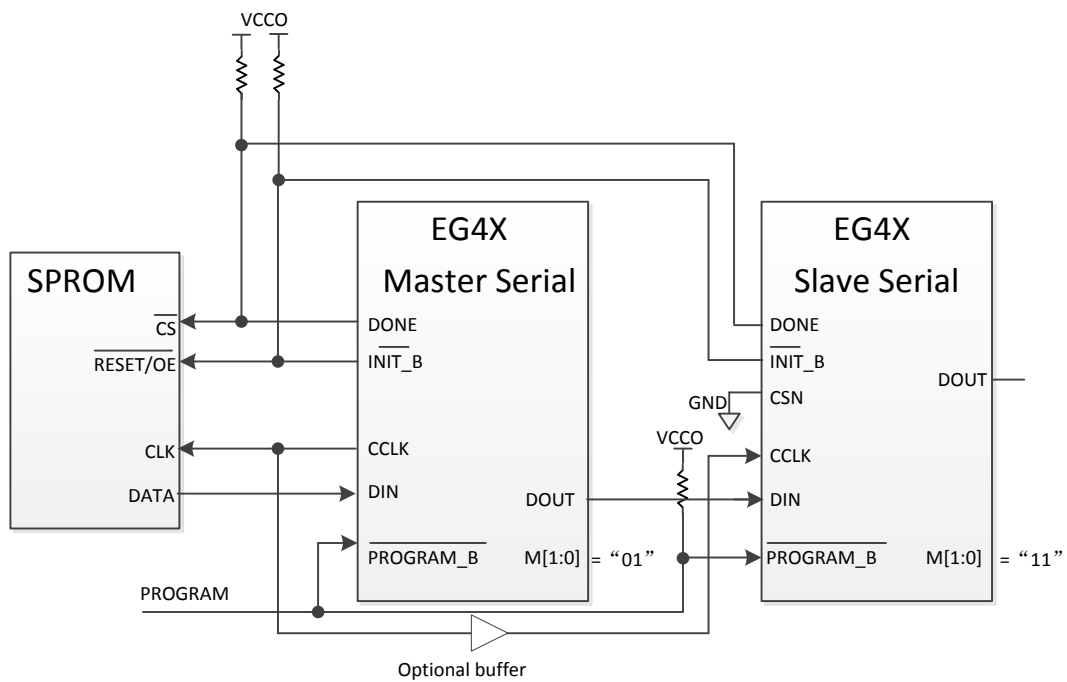


图 2-9-8 EG4X 主动、从动串行采用 Bypass 级联配置图

2.9.6 从动并行配置模式

从动并行配置适合通过 MCU 或者 CPU 等控制器使用。从动并行配置通过 8 位并行数据写入能够达到较快的配置速度。

EG4A 的从动并行配置模式 MSEL[2:0] 设置为 110/111，如图 2-9- 9 所示，其中多个 CSN 信号可以选择多个配置芯片。

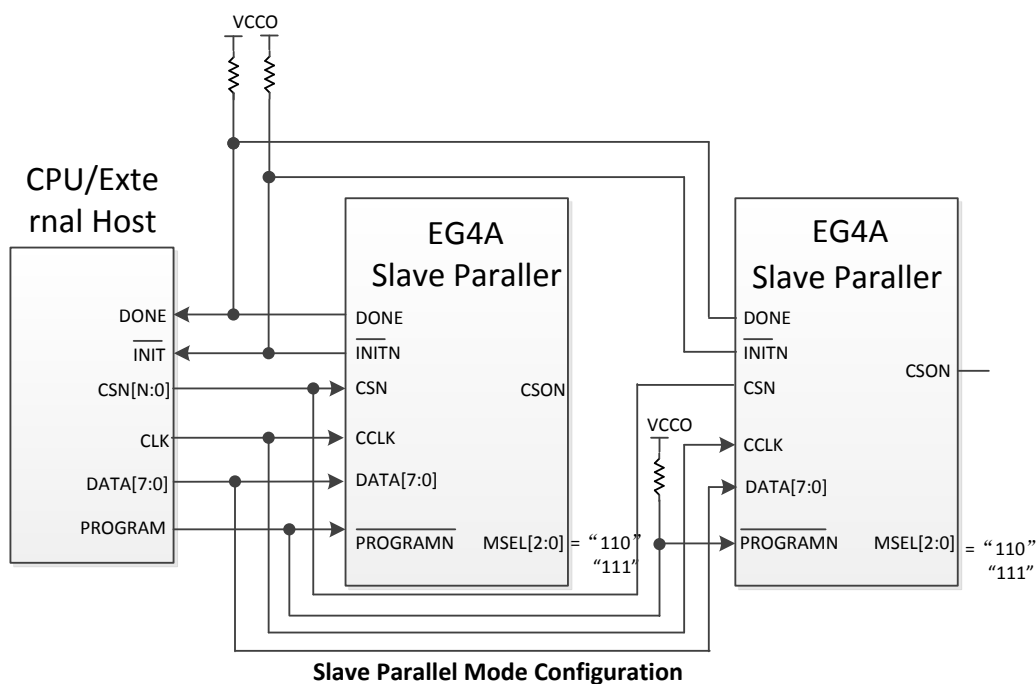


图 2-9-9 EG4A 从动并行配置方式

EG4A 从动并行配置模式时序如图 2-9- 10 所示。开始的初始化过程和串行配置一致，初始化完成之后，在片选 CSN 有效时，在时钟的上升沿配置数据写入 EAGLE FPGA。同样，配置完成后，DONE 信号会变高。

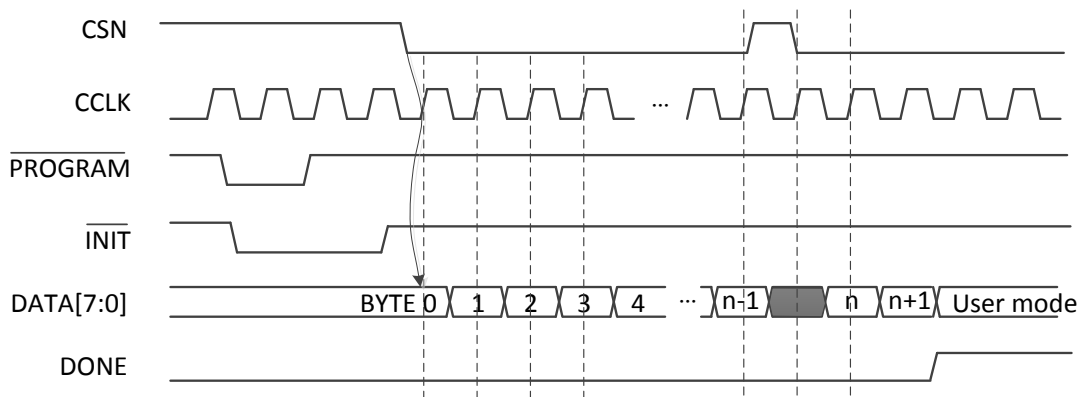


图 2-9-10 EG4A 从动并行配置时序图

EG4X 的从动并行配置模式 M[1:0] 设置为 10，其中多个 CSN 信号可以选择多个配置芯片。

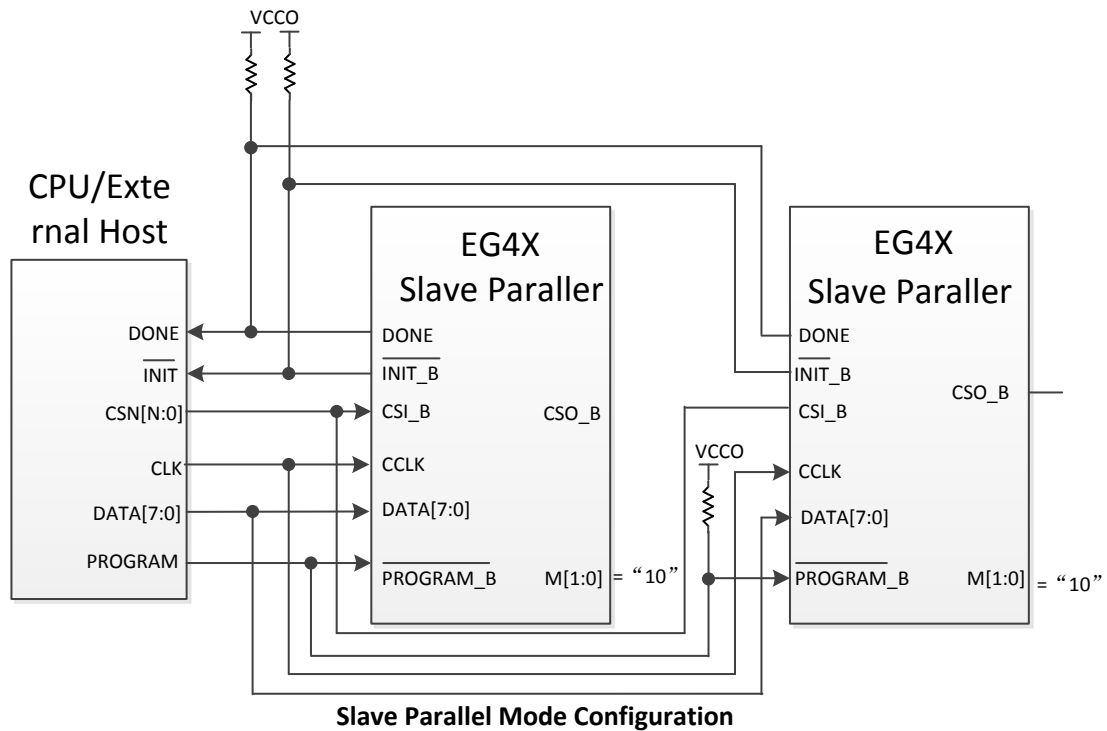


图 2-9- 11 EG4X 从动并行配置时序图

EG4X 从动并行配置模式时序如图 2-9- 12 所示。开始的初始化过程和串行配置一致，初始化完成之后，在片选 CSI_B 有效时，在时钟的上升沿配置数据写入 EAGLE FPGA。同样，配置完成后，DONE 信号会变高。

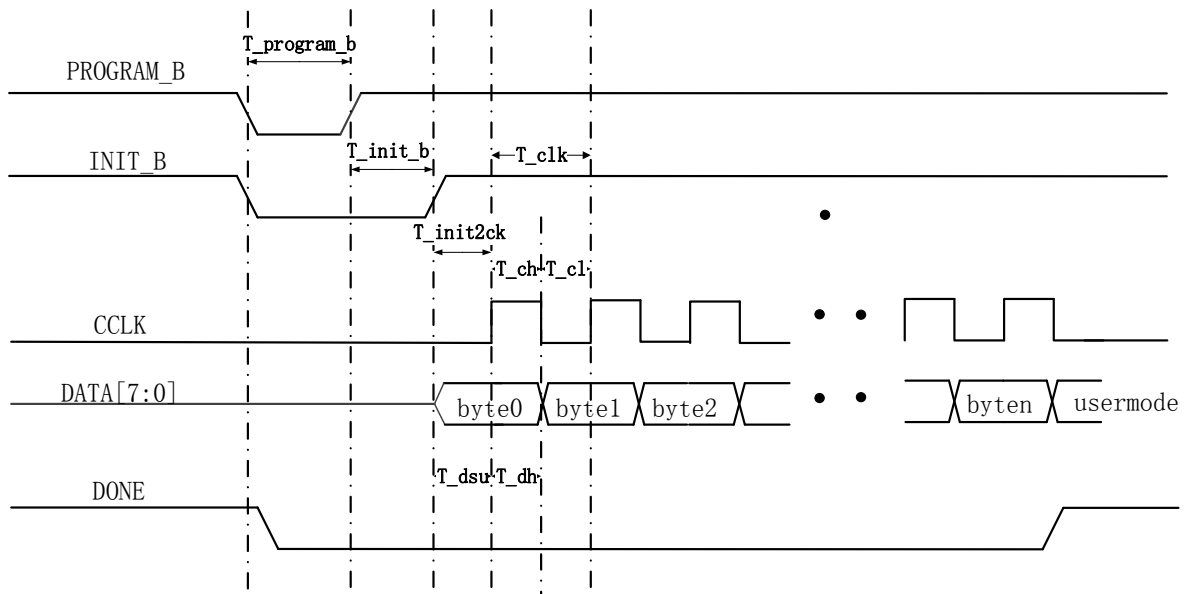


图 2-9- 12 EG4X 从动并行配置时序图

表 2-9- 4 EAGLE 从动并行时序规格表

| 符号 | 参 数 | 最 小 | 最 大 | 单 位 |
|-------------|--|------|------|-----|
| T_program_b | PROGRAM_B low pulse width | 1 | – | us |
| T_init_b | INIT_B low pulse width | 5 | 10 | ms |
| T_clk | CCLK period | 33 | – | ns |
| T_ch | CCLK high time | 16.5 | – | ns |
| T_cl | CCLK low time | 16.5 | – | ns |
| T_dsu | Data setup time | 16.5 | 16.5 | ns |
| T_dh | Data hold time | 0 | – | ns |
| T_init2ck | INIT_B high to first rising edge of CCLK | 2 | – | us |

2.9.7 主动并行配置模式

主动并行配置和从动并行配置类似，差别在于 CCLK 时钟由 FPGA 提供。

2.9.8 JTAG 配置模式

EAGLE FPGA 还可以通过 JTAG 方式进行配置。JTAG 方式配置是通过 EAGLE FPGA 的配置引脚（TDI, TDO, TMS, TCK）进行的。JTAG 配置模式在 INITN/INIT_B 信号变高后，不管模式选择引脚选择了何种模式，或者其他模式正在配置过程中，JTAG 模式可以通过指令中断其他模式，进入 JTAG 配置模式。

JTAG 配置使用安路公司专用的 USB 下载线，配合 TD 软件进行，可以通过软件查看配置是否成功。

JTAG 配置模式参考时序与时序规格如图 2-9- 13 和表 2-9- 5 所示。

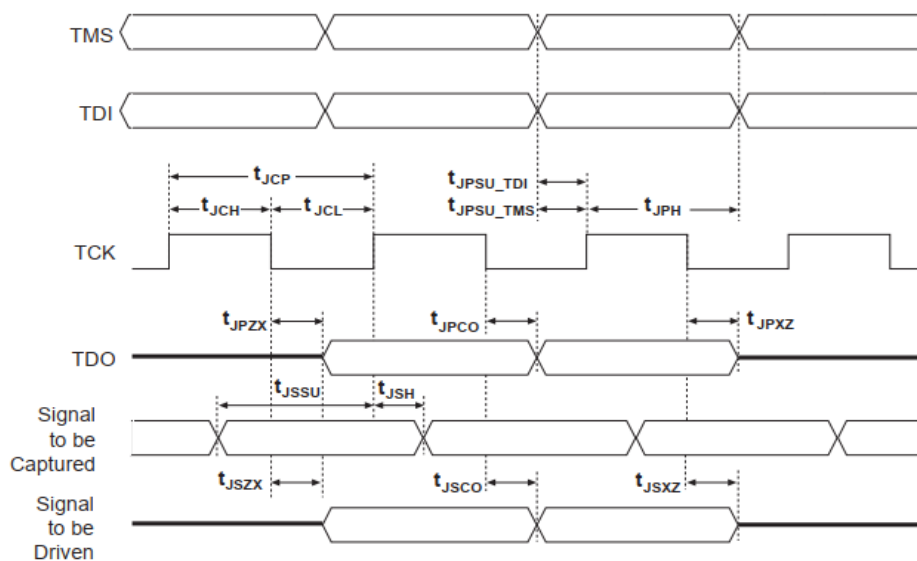


图 2-9- 13 EAGLE JTAG 时序图

表 2-9- 5 EAGLE JTAG 时序规格表

| 符号 | 参 数 | 最 小 | 最 大 | 单 位 |
|----------------------|--------------------|-----|-----|-----|
| t _{JCP} | TCK 周期 | 100 | — | ns |
| t _{JCH} | TCK 高电平时间 | 50 | — | ns |
| t _{JCL} | TCK 低电平时间 | 500 | — | ns |
| t _{PSU_TDI} | TDI 建立时间 | 10 | — | ns |
| t _{PSU_TMS} | TMS 建立时间 | 13 | — | ns |
| t _{JPH} | JTAG 端口保持时间 | 20 | — | ns |
| t _{JPCO} | JTAG 端口时钟到输出延时 | — | 15 | ns |
| t _{JPZX} | JTAG 端口有效输出到高阻转换时间 | — | 15 | ns |
| t _{JPXZ} | 抓取寄存器建立时间 | — | 15 | ns |
| t _{JSSU} | 抓取寄存器保持时间 | — | — | ns |
| t _{JSH} | 更新寄存器建立时间 | — | — | ns |
| t _{JSCO} | 更新寄存器时钟到输出延时 | — | — | ns |
| t _{JSZX} | 更新寄存器高阻到有效输出 | — | — | ns |
| t _{JSXZ} | 更新寄存器有效输出到高阻 | — | — | ns |

2.9.9 MSPI DUAL BOOT 功能

MSPI 模式下当采用的 SPI flash 容量大于 12Mbit 时，EAGLE FPGA 支持 MSPI dual boot 功能。当 Primary 位流下载失败后，EAGLE FPGA 自动跳转到用户设定的地址去读取 golden 位流。图 2-9- 14 显示 dual boot 下 spi flash 的数据空间分布。

| Dual boot flash map | |
|---------------------|-------------------|
| 0x000000 | Primary bitstream |
| | |
| 0x0C0000 | Dummy |
| | |
| 0x0D0000 | Golden address |
| | Golden bitstream |
| | |

图 2-9- 14 EAGLE FPGA dual boot spi flash 的数据空间分布

2.9.10 MSPI MULT BOOT 功能

MSPI 模式下,用户可以使用 TD 软件设置 mult boot 功能。当进入用户模式后，应用本身可以通过接

口触发信号 mult_bootn=0, 从指定的 spi flash 地址重新开始下载位流。这个指定的地址可以选择用户接口提供或 TD 软件提供。

2.9.11 FPGA DNA 安全功能

EAGLE FPGA 在生产过程中为每块芯片提供一个唯一的 64 位 DNA 数据, 这个数据不能被修改和擦除, 用户可以 DNA 数据进行用户设计保护。TD 软件将提供 IP 接口, 使用户读出 DNA 数据。如图 2-9- 15, 图 2-9- 16 所示。Usr_dna_in 为移位数据输入, 用于接口测试使用。

Dna_clk 时钟频率范围 0~20MHz, dna_shift 建议采用时钟下降沿送出, 方便满足时序要求。

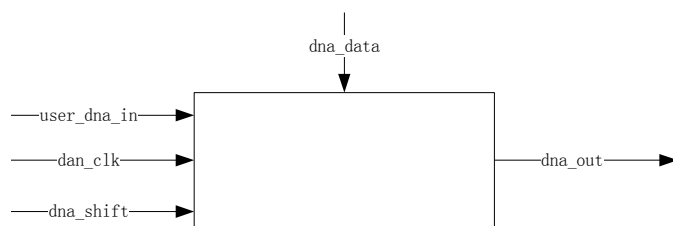


图 2-9- 15 EAGLE FPGA DNA IP

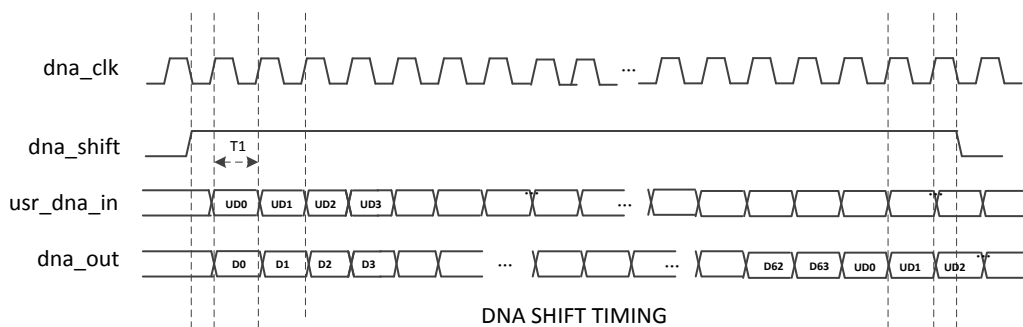


图 2-9- 16 EAGLE FPGA DNA 时序图

2.9.12 FPGA I/O 引脚在配置阶段的设置

在配置阶段, 一些 FPGA 引脚有专用的上拉/下拉电阻。大部分的用户 I/O 引脚在配置过程中有可选的上拉电阻。在配置过程中 EG4A 和 EG4X 由 HSWAPEN 信号来决定 I/O 引脚上是否使能上拉电阻。

2.9.13 FPGA I/O 引脚在配置阶段的状态

(1) 非配置相关 IO

芯片上电完成后程序加载前, 非配置相关 IO 处于三态;

加载过程中, 普通 IO 的状态受 HSWAPEN 脚控制可以为弱上拉或者三态;

进入用户模式之后, 用户使用的 IO 脚状态受代码控制, 未使用的管脚为弱上拉状态

(2) 配置相关引脚跟配置设置相关，如表 2-9-6、表 2-9-7 所示

在 EG4A 中，HSWAPEN 是一位控制寄存器 CTRL[31],默认值为 1，该寄存器为只能由位流改写。

表 2-9-6 EG4A Configuration Pin Termination

| Pin | Pre-configuration | | Post-configuration |
|--------------------|-------------------|--------------------|--------------------|
| | HSWAPEN=0(enable) | HSWAPEN=1(disable) | |
| MSEL[2:0] | Pull-up to Vccio | Pull-up to Vccio | User I/O |
| PROGRAMN | Pull-up to Vccio | Pull-up to Vccio | 软件 ProgPin 设置 |
| INITN | Pull-up to Vccio | Pull-up to Vccio | 软件 InitPin 设置 |
| DONE | Pull-up to Vccio | Pull-up to Vccio | 软件 DonePin 设置 |
| CCLK | Pull-up to Vccio | Pull-up to Vccio | 软件 SpiPin 设置 |
| CSN | Pull-down to Gnd | Pull-down to Gnd | User I/O |
| TMS TCK TDO TDI | Pull-up to Vccio | Pull-up to Vccio | 软件 JtagPin 设置 |
| D[7:2] | Pull-up to Vccio | Pull-up to Vccio | User I/O |
| D[1]/ MOSI | Pull-up to Vccio | Pull-up to Vccio | 软件 SpiPin 设置 |
| D[0]/DIN/MISO | Pull-up to Vccio | Pull-up to Vccio | 软件 SpiPin 设置 |
| SPICSN | Pull-up to Vccio | Pull-up to Vccio | 软件 SpiPin 设置 |
| CSON/DOOUT | Pull-up to Vccio | Pull-up to Vccio | 软件 SpiPin 设置 |
| Others | Pull-up to Vccio | High-Z | User I/O |

在 EG4X 中，HSWAPEN 是一个 I/O 引脚，默认为弱上拉。

表 2-9-7 EG4X Configuration Pin Termination

| Pin | Pre-configuration | | Post-configuration |
|--------------------|-------------------|--------------------|--------------------|
| | HSWAPEN=0(enable) | HSWAPEN=1(disable) | |
| M[1:0] | Pull-up to Vccio | Pull-up to Vccio | User I/O |
| PROGRAM_B | Pull-up to Vccio | Pull-up to Vccio | 软件 ProgPin 设置 |
| INIT_B | Pull-up to Vccio | Pull-up to Vccio | User I/O |
| DONE | Pull-up to Vccio | Pull-up to Vccio | 软件 DonePin 设置 |
| CCLK | Pull-up to Vccio | Pull-up to Vccio | 软件 SpiPin 设置 |
| CSI_B/MOSI | Pull-down to Gnd | Pull-down to Gnd | 软件 SpiPin 设置 |
| TMS TCK TDO TDI | Pull-up to Vccio | Pull-up to Vccio | 软件 JtagPin 设置 |
| D[7:1] | Pull-up to Vccio | Pull-up to Vccio | User I/O |
| D[0]/DIN/MISO | Pull-up to Vccio | Pull-up to Vccio | 软件 SpiPin 设置 |
| CSO_B | Pull-up to Vccio | Pull-up to Vccio | 软件 SpiPin 设置 |

| | | | |
|---------|------------------|------------------|--------------|
| DOUT | Pull-up to Vccio | Pull-up to Vccio | 软件 SpiPin 设置 |
| HSWAPEN | Pull-up to Vccio | Pull-up to Vccio | User I/O |
| Others | Pull-up to Vccio | High-Z | User I/O |

2.10 内嵌 ADC 模块

Eagle 内嵌有一个 8 通道 12 位 1MSPS ADC。ADC 需要独立的 3.3V 模拟工作电压和模拟地以及一个独立的 VREF 电压输入。8 个通道输入和用户 IO 复用，当用户不需要 ADC 时可以当作普通用户 IO 使用，复用 IO 设置相互独立，未使用的 ADC 通道管脚可以作为普通 IO 使用。当使用 ADC 时，相关 BANK 的 VCCIO 电压应不低于 ADC 模拟电源电压。

表 2-10- 1 ADC 外部/内部端口

| 芯片端口名 | 端口类型 | 说明 |
|----------------|-------------|--|
| ADC_VDDD | 电源 PAD | 3.3V 数字电源输入 |
| ADC_VDDA | 外部电源 PAD | 3.3V 模拟电源输入 |
| ADC_VSSA | 外部电源 PAD | 3.3V 模拟地 |
| ADC_VREF | 外部 PAD | 独立输入，采样参考模拟电位输入，输入电压范围 2.0V~3.3V， 不大于 VDDA |
| ADC_HC<7:0> | 外部 PAD | 8 路采样信号输入，和用户 IO 复用 |
| 内部端口名 | 端口方向 | 说明 |
| Channel_s<2:0> | 输入(来自 FPGA) | ADC 通道选择信号输入 |
| SOC | 输入(来自 FPGA) | ADC 采样使能信号输入，高有效 |
| EOC | 输出(到 FPGA) | ADC 转换完成输出，高有效 |
| B<11:0> | 输出(到 FPGA) | 对应通道的 ADC 转换结果 |

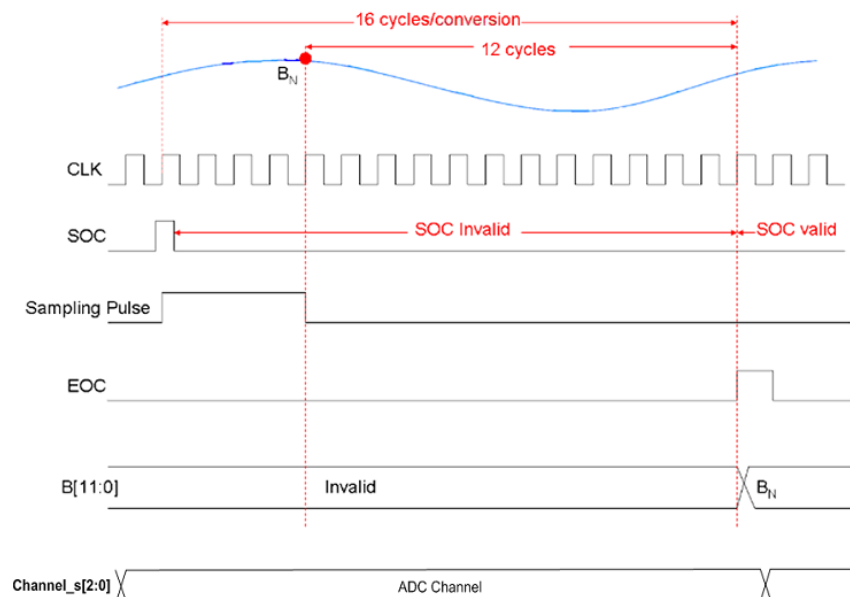


图 2-10- 1 Eagle ADC 采样控制时序

3 直流交流特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

3.1 直流电气特性

3.1.1 最大绝对额定值

表 3-1- 1 最大绝对额定值

| SYMBOL | 参 数 | 最 小 | 最 大 | 单 位 |
|---------------------|------------|------|-------|-----|
| V _{CC} | 内核供电电压 | -0.5 | 1.32 | V |
| V _{CCAUX} | 辅助电源 | -0.5 | 3.75 | V |
| V _{CCIO} | I/O驱动供电电压 | -0.5 | 3.75 | V |
| V _I | 直流输入电压 | -0.5 | 3.75 | V |
| V _{ESDHB} | 人体模型静电放电电压 | | ±2000 | V |
| V _{ESDCDM} | 机器模型静电放电电压 | | ±500 | V |
| T _{STG} | 存储温度 | -65 | 150 | °C |
| T _J | 结点温度 | -40 | 125 | °C |

超过以上最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重的影响器件的可靠性。

信号转换过程中，输入信号过冲/下冲可能超过上表中给出数值，但同时必须满足电流小于 100mA 和脉冲宽度小于 20ns 两个条件。

3.1.2 推荐基本操作条件

表 3-1- 2 推荐基本操作条件¹

| SYMBOL | 参 数 | 最 小 | 典 型 | 最 大 | 单 位 |
|--------------------------------|----------------|-------|---------|-------|-----|
| V _{CC} | 内核供电电压 | 1.14 | 1.2 | 1.26 | V |
| V _{CCAUX} | 辅助电源 | 2.375 | 2.5/3.3 | 3.63 | V |
| V _{CCIO} ³ | I/O供电电压 @ 3.3V | 3.135 | 3.3 | 3.465 | V |
| | I/O供电电压 @ 2.5V | 2.375 | 2.5 | 2.625 | V |
| | I/O供电电压 @ 1.8V | 1.71 | 1.8 | 1.89 | V |
| | I/O供电电压 @ 1.5V | 1.425 | 1.5 | 1.575 | V |
| | I/O供电电压 @ 1.2V | 1.14 | 1.2 | 1.26 | V |

| | | | | | | |
|---------------------|-----------------|----|------|---|-------------------|------|
| V _I | 直流输入电压 | | -0.5 | — | 3.6 | V |
| V _O | 输出电压 | | 0 | — | V _{CCIO} | V |
| T _J | 结点温度 | 商业 | 0 | — | 85 | ℃ |
| | | 工业 | -40 | — | 100 | ℃ |
| T _{RAM} P | 电源缓变率 | | 0.01 | - | 100 | V/ms |
| I _D iode | PCI-clamp 二极管电流 | | — | — | 10 | mA |

1. 器件工作时要求所有 I/O 的 V_{CCIO} 必须连接好电源
2. 所有输入缓冲器由 V_{CCIO} 供电

3.1.3 基本供电要求

表 3-1-3 最小供电要求

| EG4A20BG256 | | EG4X20BG256 | |
|--|-----------|--|--------------|
| VCCAUX | >=2.5V | VCCAUX | >=2.5V |
| VCCIO1 | >=下载器供电电压 | VCCIO0 | >=1.2V |
| VCCIO2 | >= 1.2V | VCCIO1 | >=下载器供电电压 |
| VCCIO3 | >=1.2V | VCCIO2 | >=1.2V（必须供电） |
| VCCIO4 | >=1.2V | VCCIO3 | >=1.2V |
| VCCIO5 | >=1.2V | VCCIO4 | >=1.2V |
| VCCIO6 | >=1.2V | | |
| VCCIO7 | >=1.2V | | |
| VCCIO8 | >=1.2V | | |
| 在 MSPI 模式,VCCIO1 电压要求不低于 flash 规定的工作电压 | | 在 MSPI 模式，VCCIO2 电压要求不低于 flash 规定的工作电压 | |
| 如果使用 ADC，VCCIO8 供电要求接 3.3V（ADC_VDDD 与 VCCIO8 接在一起） | | 如果使用 ADC，VCCIO2 供电要求接 3.3V（ADC_VDDD 与 VCCIO2 接在一起） | |
| 如果使用 ADC，ADC_VDDA 要求接 3.3V，如果不使用可以在板上和 vccaux 接一起， | | | |

注: V_{CCIO} 不用时也要供电, 避免潜在风险

3.1.4 静态供电电流^{1,2}

表 3-1-4 静态电源电流

| SYMBOL | 参 数 | 器 件 | 典 型 | 单 位 |
|---------------------|-----------------------------------|-----------|-----|-----|
| I _{VCC} | 内核供电电压 | EAGLEA_05 | 2 | mA |
| | | EAGLEA_10 | 3 | mA |
| | | EAGLEA_20 | 5 | mA |
| | | EAGLEA_50 | 10 | mA |
| | | EAGLEA_05 | 0.2 | mA |
| I _{VCCIO} | I/O 组电源, @V _{CCIO} =2.5V | EAGLEA_10 | 0.4 | mA |
| | | EAGLEA_20 | 0.6 | mA |
| | | EAGLEA_50 | 2 | mA |
| | | EAGLEA_05 | 2 | mA |
| | | EAGLEA_10 | 2 | mA |
| I _{VCCAUX} | 辅助电源 | EAGLEA_20 | 2.5 | mA |
| | | EAGLEA_50 | 3 | mA |
| | | EAGLEA_05 | 2 | mA |
| | | EAGLEA_10 | 3 | mA |
| | | EAGLEA_20 | 5 | mA |

1. 该表中的数值基于通用的推荐操作条件，室温下（T_J = 25℃）使用典型器件测得。
2. 典型值为空白器件，没有输出电流负载，高阻抗状态下，并当所有上拉/下拉电阻器在 I/O 引脚禁止时，测量的所有 I/O 驱动的静态电源电流。

3.1.5 热插拔规格

表 3-1-5 为热插拔规格

| SYMBOL | 参 数 | 最 大 | 单 位 |
|------------------------|-------------|----------------|-----|
| I _{IOPIN(DC)} | DC电流, 每个I/O | 1 | mA |
| I _{IOPIN(AC)} | AC电流, 每个I/O | 8 ¹ | mA |

1. 电源缓变率等于或大于 10ns。
2. ADC 复用引脚不支持热插拔，有热插拔需求时注意避开这些引脚。

3.1.6 上电复位电压阈值

表 3-1- 6 上电复位电压阈值

| SYMBOL | 参 数 | 最 小 | 典 型 | 最 大 | 单 位 |
|--------------------------|---------------------------|------|-----|------|-----|
| V _{CC_PORUP} | V _{CC} 上电检测阈值 | 0.95 | 1 | 1.05 | V |
| V _{CCAUX_PORUP} | V _{CCAUX} 上电检测阈值 | 2 | 2.1 | 2.2 | V |
| V _{CC_PORDN} | V _{CC} 掉电检测阈值 | — | — | 0.9 | V |
| V _{CCAUX_PORDN} | V _{CCAUX} 掉电检测阈值 | — | — | 1.9 | V |
| V _{SRAM_PORDN} | SRAM电源掉电检测阈值 | — | — | 0.85 | V |

3.1.7 I/O 直流电气特性

表 3-1- 7 推荐基本操作条件

| SYMBOL | 参 数 | 条 件 | 最 小 | 典 型 | 最 大 | 单 位 |
|-----------------------------------|-------------|---|---------------------|-----|---------------------|-----|
| I _{IL} , I _{IH} | 输入漏电流 | $0 \leq V_I \leq V_{CCIO} - 0.5V$ | -10 | — | 10 | uA |
| I _{IH} | 输入漏电流 | $V_{CCIO} - 0.5V \leq V_I \leq V_{IH_MAX}$ | — | — | 150 | uA |
| I _{PU} | I/O 弱上拉电流 | | 35 | — | 250 | uA |
| I _{PD} | I/O 弱下拉电流 | | 35 | — | 250 | uA |
| I _{BHLS} | 总线保持 0 维持电流 | | 40 | — | — | uA |
| I _{BHHS} | 总线保持 1 维持电流 | | 40 | — | — | uA |
| I _{BHLO} | 总线保持 0 改写电流 | $0 \leq V_I \leq V_{CCIO}$ | — | — | 350 | uA |
| I _{BHHO} | 总线保持 1 改写电流 | $0 \leq V_I \leq V_{CCIO}$ | — | — | 350 | uA |
| V _{BHT} | 总线保持触发电平 | — | V _{IL_max} | — | V _{IH_min} | V |

3.1.8 I/O 管脚电容

表 3-1- 8 EAGLE 器件管脚电容

| SYMBOL | 参 数 | QFP | FBGA | 单 位 |
|-------------------|----------|-----|------|-----|
| C _{IOTB} | 上下管脚输入电容 | 7 | 6 | pF |
| C _{IOLR} | 左右管脚输入电容 | 8 | 7 | pF |

3.1.9 单端 I/O 直流电学特性

表 3-1- 9 EAGLE 器件单端 I/O 标准规格

| 标准 | V _{IL} (V) | | V _{IH} (V) | | V _{OL} 最大 | V _{OH} 最小 | I _{OL} | I _{OH} |
|---------------------|---------------------|------------------------|------------------------|------------------------|-----------------------|-------------------------|-----------------|-----------------|
| | 最小 | 最大 | 最小 | 最大 | (V) | (V) | (mA) | (mA) |
| LVTTL33 LVCMOS33 | -0.3 | 0.8 | 1.9 | V _{CCIO} +0.3 | 0.4 | V _{CCIO} - 0.4 | 4 | -4 |
| | | | | | | | 8 | -8 |
| | | | | | | | 12 | -12 |
| | | | | | | | 16 | -16 |
| | | | | | | | 20 | -20 |
| | | | | | 0.2 | V _{CCIO} - 0.2 | 0.1 | -0.1 |
| LVCMOS25 | -0.3 | 0.7 | 1.7 | V _{CCIO} +0.3 | 0.4 | V _{CCIO} - 0.4 | 4 | -4 |
| | | | | | | | 8 | -8 |
| | | | | | | | 12 | -12 |
| | | | | | | | 16 | -16 |
| | | | | | 0.2 | V _{CCIO} - 0.2 | 0.1 | -0.1 |
| LVCMOS18 | -0.3 | 0.35*V _{CCIO} | 0.65*V _{CCIO} | V _{CCIO} +0.3 | 0.4 | V _{CCIO} - 0.4 | 4 | -4 |
| | | | | | | | 8 | -8 |
| | | | | | | | 12 | -12 |
| | | | | | 0.2 | V _{CCIO} - 0.2 | 0.1 | -0.1 |
| LVCMOS15 | -0.3 | 0.35*V _{CCIO} | 0.65*V _{CCIO} | V _{CCIO} +0.3 | 0.4 | V _{CCIO} - 0.4 | 4 | -4 |
| | | | | | 0.2 | V _{CCIO} - 0.2 | 8 | -8 |
| | | | | | | | 0.1 | -0.1 |
| LVCMOS12 | -0.3 | 0.35*V _{CCIO} | 0.65*V _{CCIO} | V _{CCIO} +0.3 | 0.4 | V _{CCIO} - 0.4 | 4 | -3 |
| | | | | | 0.2 | V _{CCIO} - 0.2 | 8 | -6 |
| | | | | | | | 0.1 | -0.1 |
| PCI33 | -0.3 | 0.3*V _{CCIO} | 0.5*V _{CCIO} | V _{CCIO} +0.3 | 0.1*V _{CCIO} | 0.9*V _{CCIO} | 1.5 | -0.5 |
| PCIX33 | -0.3 | 0.35*V _{CCIO} | 0.5*V _{CCIO} | V _{CCIO} +0.3 | 0.1*V _{CCIO} | 0.9*V _{CCIO} | 1.5 | -0.5 |

表 3-1- 10 Single-Ended Interfaces

| INPUT STANDARD | VCCIO (TYP.) | | | | |
|----------------|----------------|----------------|----------------|----------------|------|
| | 3.3V | 2.5 V | 1.8V | 1.5V | 1.2V |
| LVTTL33 | √ | √ | √ | √ | √ |
| LVC MOS33 | √ | √ | √ | √ | √ |
| LVC MOS25 | √ ¹ | √ | √ | √ | √ |
| LVC MOS18 | | √ ¹ | √ | √ | √ |
| LVC MOS15 | | | √ ¹ | √ | √ |
| LVC MOS12 | | | | √ ¹ | √ |

Note: 1.Under-drive causes higher DC current when the IO is at logic high

3.1.10 差分 I/O 电学特性

表 3-1- 11 LVDS 推荐操作条件

| 参 数 | 描 述 | 测试条件 | 最 小 | 典 型 | 最 大 | 单 位 |
|------------------|----------|--|------|-----|------|-----|
| V_{IP}, V_{IN} | 输入电平 | $V_{CCIO}=2.5$ | 0 | — | 2.4 | V |
| V_{ID} | 输入差分摆幅 | | 150 | 350 | 600 | mV |
| V_{ICM} | 输入共模电压 | $V_{CCIO}=2.5$ | 0.05 | — | 2.35 | V |
| I_{IN} | 输入电流 | 上电过程 | — | — | ±15 | uA |
| V_{OD} | 标准差分输出摆幅 | $ V_{OP} - V_{ON} , R_T = 100 \text{ ohm}$ | 150 | 250 | 350 | mV |
| V_{OD} | 差分输出大摆幅 | $ V_{OP} - V_{ON} , R_T = 100 \text{ ohm}$ | 450 | 480 | 550 | mV |
| ΔV_{OD} | 差分输出摆幅变化 | | | | 50 | mV |
| V_{OCM} | 输出共模电压 | $(V_{OP} + V_{ON})/2, R_T = 100 \text{ ohm}$ | 0.8 | 1.2 | — | V |
| ΔV_{OCM} | 输出共模电压偏差 | | | | 50 | mV |

表 3-1- 12 EAGLE LVPECL33 推荐操作条件

| 参 数 | 描 述 | 测试条件 | 最 小 | 典 型 | 最 大 | 单 位 |
|------------------|--------|------|-----|-----|------|-----|
| V_{IP}, V_{IN} | 输入电平 | | 0 | | 2.95 | V |
| V_{ID} | 输入差分摆幅 | | 100 | - | 1600 | mV |
| V_{ICM} | 输入共模电压 | | 0.3 | — | 2.9 | V |

注：LVPECL 接收一定不能使用芯片内部 100 欧电阻

3.1.11 电源监测模块

表 3-1- 13 电源监测模块监测电平

| Level Selection | 监测电平 (V) |
|-----------------|----------|
| 1 | 2.36 |

| | |
|---|------|
| 2 | 2.50 |
| 3 | 2.67 |
| 4 | 2.86 |
| 5 | 3.10 |
| 6 | 3.39 |
| 7 | 3.75 |

注：不推荐使用 level1 和 level7

3.2 交流电气特性

本章节提供 EAGLE 核心和周边模块的性能参数，时序参数及其典型值是常规的设计重要参数，也是器件的基本性能参数。这些参数反映了器件在最差条件下的实际性能。

3.2.1 时钟性能

表 3-2- 1 推荐的最大时钟操作频率

| 器 件 | 速 度 | 单 位 |
|-----------|-----|-----|
| EAGLEA_05 | 440 | MHz |
| EAGLEA_10 | 440 | MHz |
| EAGLEA_20 | 440 | MHz |
| EAGLEA_50 | 440 | MHz |

3.2.2 锁相环(PLL)规格

表 3-2- 2 EAGLE 器件的 PLL 规格

| 参 数 | 描 述 | 最 小 | 典 型 | 最 大 | 单 位 |
|-------------------|--|-----|-----|-------|--------|
| f_{IN} | 输入时钟频率 | 10 | — | 400 | MHz |
| f_{PFD} | 鉴频鉴相器 (PFD) 输入频率 | 10 | — | 400 | MHz |
| f_{VCO} | 锁相环内部振荡器频率范围 | 300 | — | 1200 | MHz |
| f_{OUT} | 输出时钟频率 | — | — | 400 | MHz |
| 交流特性 | | | | | |
| f_{INDUTY} | 输入时钟占空比 | 40 | — | 60 | % |
| $t_{INJITTER}^1$ | 输入时钟抖动, $f_{PFD} \geq 20$ MHz | — | — | 800 | ps p-p |
| | 输入时钟抖动, $f_{PFD} < 20$ MHz | — | — | 0.02 | UI |
| $t_{OUTDUTY}$ | 输出时钟占空比 | 45 | 50 | 55 | % |
| $t_{OUTJITTER}^2$ | 输出时钟周期抖动(Period Jitter), $f_{OUT} > 100$ MHz | — | — | 160 | ps p-p |
| | 输出时钟周期抖动(Period Jitter), $f_{OUT} < 100$ MHz | — | — | 0.009 | UI |

| | | | | | |
|-----------------|---|---|-----|-----------|--------|
| | Output Clock Cycle-to-cycle Jitter, $f_{OUT} > 100\text{MHz}$ | — | — | 200 | ps p-p |
| | Output Clock Cycle-to-cycle Jitter, $f_{OUT} < 100\text{MHz}$ | — | — | 0.01 | UI |
| | Output Clock Phase Jitter, $f_{OUT} > 100\text{MHz}$ | — | — | 180 | ps p-p |
| | Output Clock Phase Jitter, $f_{OUT} < 100\text{MHz}$ | — | — | 0.013 | UI |
| t_{LOCK}^3 | PLL 锁定时间 | — | — | 15 | ms |
| t_{DLOCK} | 动态锁定时间（切换、重配置之后） | — | — | 15 | ms |
| t_{PLL_PS} | PLL 相移精度 | — | — | ± 125 | ps |
| t_{RST} | 复位脉冲最小宽度 | 1 | — | — | ns |
| t_{RSTREC} | 复位恢复时间 | 1 | — | — | ns |
| $t_{CONFIGPLL}$ | PLL 相位动态配置时间 | — | 3.5 | — | cycles |
| $f_{SCANCLK}$ | SCANCLK 频率 | — | — | 100 | MHz |

1. 参考时钟允许的最大输入抖动。为得到低抖动的输出时钟，必须提供干净的参考时钟。
2. 周期抖动通过对 PLL 输出采样 10,000 次测量得到。相邻周期抖动采样 1000 次。相位抖动采样 2000 次。参考时钟抖动 30ps。
3. t_{LOCK} 之后，在输出端得到稳定时钟。

3.2.3 嵌入数字信号处理模块（DSP）规格

表 3-2- 3 EAGLE 嵌入 DSP 规格表

| 模式 | 性能 | | | 单位 |
|-----------------------|-----|-----|-----|-----|
| | 6 | 7 | 8 | |
| M9×9(All registers) | 400 | 350 | 320 | MHz |
| M18×18(All registers) | 400 | 350 | 320 | MHz |

3.2.4 存储器模块（BRAM）规格

表 3-2- 4 EAGLE 存储器模块规格表

| 存储器 | 模式 | 性能 | | | 单位 |
|-----|---------------|-----|-----|-----|-----|
| | | 6 | 7 | 8 | |
| M9K | FIFO 512 x 18 | 250 | 220 | 200 | MHz |
| | 单口 512 x 18 | 250 | 220 | 200 | MHz |
| | 简单双口 512 x 18 | 250 | 220 | 200 | MHz |
| | 真双口 1024 x 9 | 250 | 220 | 200 | MHz |

3.2.5 高速 I/O 接口性能

表 3-2- 5 高速 I/O 接口性能表

| 输入/输出标准 | 描 述 | 最 大 | 单 位 |
|-------------|-----------------------------------|-----|-----|
| 最大输入频率 | | | |
| LVDS25 | LVDS, VCCIO = 2.5V | 400 | MHz |
| RS25 | RS25, VCCIO = 2.5V | 400 | MHz |
| MINILVDS | Mini-LVDS, VCCIO = 2.5V | 400 | MHz |
| PPDS25 | PPDS | 400 | MHz |
| LVPECL33 | LVPECL, VCCIO = 3.3V | 400 | MHz |
| BLVDS25 | BLVDS, VCCIO = 2.5V | 400 | MHz |
| MLVDS25 | MLVDS, VCCIO = 2.5V | 400 | MHz |
| LVTTL33 | LVTTL, VCCIO = 3.3V | 166 | MHz |
| LVC33 | LVC33, VCCIO = 3.3V | 166 | MHz |
| LVC25 | LVC25, VCCIO = 2.5V | 166 | MHz |
| LVC18 | LVC18, VCCIO = 1.8V | 166 | MHz |
| LVC15 | LVC15, VCCIO = 1.5V | 166 | MHz |
| LVC12 | LVC12, VCCIO = 1.2V | 166 | MHz |
| PCI33 | | 133 | MHz |
| 最大输出频率 | | | |
| LVDS25 | LVDS, VCCIO = 2.5V | 400 | MHz |
| LVDS25E | LVDS, Emulated, VCCIO = 2.5V | 166 | MHz |
| RS25 | RS25, VCCIO = 2.5V | 400 | MHz |
| RS25E | RS25, Emulated, VCCIO = 2.5V | 166 | MHz |
| MINILVDS | MINILVDS, VCCIO = 2.5V | 400 | MHz |
| MINILVDS25E | Mini-LVDS, Emulated, VCCIO = 2.5V | 166 | MHz |
| PPDS | Ponit-to-ponit LVDS | 400 | MHz |
| LVPECL33E | LVPECL, Emulated, VCCIO = 3.3V | 166 | MHz |
| BLVDS25E | BLVDS, Emulated, VCCIO = 2.5V | 166 | MHz |
| MLVDS25E | MLVDS, Emulated, VCCIO = 2.5V | 166 | MHz |
| LVTTL33 | LVTTL, VCCIO = 3.3V | 166 | MHz |
| LVC33 | LVC33, VCCIO = 3.3V | 166 | MHz |
| LVC25 | LVC25, VCCIO = 2.5V | 166 | MHz |
| LVC18 | LVC18, VCCIO = 1.8V | 166 | MHz |
| LVC15 | LVC15, VCCIO = 1.5V | 166 | MHz |
| LVC12 | LVC12, VCCIO = 1.2V | 100 | MHz |
| PCI33 | | 133 | MHz |
| | | | |

3.2.6 配置模块和 JTAG 规格

表 3-2- 6 EAGLE 器件配置模式时序规格表

| 下载模式 | 最 小 | 典 型 | 最 大 | 单 位 |
|------------------|-----|-----|-----|-----|
| 主模式串行 PROM (MS) | 2.5 | — | 66 | MHz |
| 主模式串行 SPI (MSPI) | 2.5 | — | 66 | MHz |
| 主模式并行 x8 (MP) | 2.5 | — | 66 | MHz |
| 从模式串行 (SS) | — | 66 | — | MHz |
| 从模式并行 x8 (SP) | — | 66 | — | MHz |

3.2.7 ADC 性能

表 3-2- 7ADC 性能

| 参 数 | 性 能 |
|--------|--|
| 工作电压 | 3.3V 模拟电源和 3.3V 数字电源 |
| 最高采样速率 | 1Mhz |
| 通道数 | 8 |
| 采样范围 | $0.01 \cdot V_{REF} \sim 0.99 \cdot V_{REF}$ |
| 动态性能 | $>81\text{Db SFDR}$ $>62\text{Db SINAD}$ |
| 线性度性能 | $\text{INL} < 1 \text{ LSB}, \text{DNL} < 0.5 \text{ LSB}$ |
| 最高时钟频率 | 16Mhz |

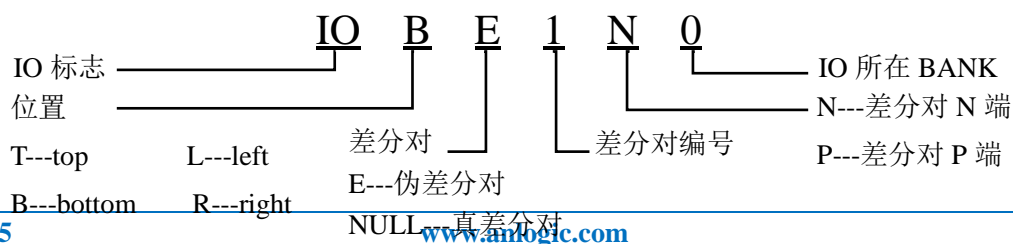
4 引脚和封装

4.1 引脚定义和规则

表 4-1- 1 引脚定义规则

| 引脚名称 | 方向 | 描 述 |
|----------------------|-----|--------------------------------|
| 普通 I/O | | |
| NC | — | 无连接 |
| GND | — | 电源地 |
| VCC | — | 内部核心模块电源 |
| VCCIO _x | — | I/O 组电源 |
| VCCAUX | — | 辅助电源 |
| VCC_PLLX | — | PLL 电源 |
| GND_PLL _x | — | PLL 地 |
| JTAG 专用引脚 | | |
| TCK | 输入 | TCK 输入边界扫描时钟 |
| TDI | 输入 | 边界扫描数据输入 |
| TDO | 输出 | 边界扫描数据输出 |
| TMS | 输入 | 边界扫描模式选择 |
| 配置专用管脚 | | |
| CSN | 输入 | 并行下载模式片选信号，低有效 |
| MSEL[2:0] | 输入 | 下载模式选择 |
| PROGRAMN | 输入 | 全局复位输入，低有效 |
| CCLK | I/O | |
| DONE | I/O | 专用配置状态引脚，在配置完成后会输出高，源端开路 |
| INITN | I/O | 专用配置状态引脚，输出高表示 FPGA 准备好配置，源端开路 |
| ADC 功能管脚 | | |
| ADC_CH _x | 输入 | ADC 模拟信号输入 |
| ADC_VREF | 输入 | ADC 参考电压 |
| ADC_VDDA | 输入 | ADC 模拟电源 |
| ADC_VDDD | 输入 | ADC 数字电源 |

4.2 IO 命名规则



4.3 EG4X20BG256 引脚说明

| 编号 | BANK | 引脚说明 | 编号 | BANK | 引脚说明 |
|-----|------|----------------------|-----|------|-------------------------|
| C4 | 0 | IO_BE1P_HSWAPEN_0 | F9 | 0 | IO_BE15P_0 |
| A4 | 0 | IO_BE1N_VREF_0 | D9 | 0 | IO_BE15N_0 |
| B5 | 0 | IO_BE2P_0 | B12 | 0 | IO_BE16P_0 |
| A5 | 0 | IO_BE2N_0 | A12 | 0 | IO_BE16N_VREF_0 |
| D5 | 0 | IO_BE3P_GPLL3_OUTP_0 | C13 | 0 | IO_BE17P_0 |
| C5 | 0 | IO_BE3N_GPLL3_OUTN_0 | A13 | 0 | IO_BE17N_0 |
| B6 | 0 | IO_BE4P_0 | F10 | 0 | IO_BE18P_0 |
| A6 | 0 | IO_BE4N_0 | E11 | 0 | IO_BE18N_0 |
| F7 | 0 | IO_BE5P_0 | B14 | 0 | IO_BE19P_GPLL0_CLKIN0_0 |
| E6 | 0 | IO_BE5N_0 | A14 | 0 | IO_BE19N_GPLL0_CLKIN1_0 |
| C7 | 0 | IO_BE6P_0 | D11 | 0 | IO_BE20P_GPLL0_OUTP_0 |
| A7 | 0 | IO_BE6N_0 | D12 | 0 | IO_BE20N_GPLL0_OUTN_0 |
| D6 | 0 | IO_BE7P_0 | | | |
| C6 | 0 | IO_BE7N_0 | | | |
| B8 | 0 | IO_BE8P_0 | | | |
| A8 | 0 | IO_BE8N_0 | | | |
| C9 | 0 | IO_BE9P_GCLKIOB_7_0 | | | |
| A9 | 0 | IO_BE9N_GCLKIOB_6_0 | | | |
| B10 | 0 | IO_BE10P_GCLKIOB_5_0 | | | |
| A10 | 0 | IO_BE10N_GCLKIOB_4_0 | | | |
| E7 | 0 | IO_BE11P_GCLKIOB_3_0 | | | |
| E8 | 0 | IO_BE11N_GCLKIOB_2_0 | | | |
| E10 | 0 | IO_BE12P_GCLKIOB_1_0 | | | |
| C10 | 0 | IO_BE12N_GCLKIOB_0_0 | | | |
| D8 | 0 | IO_BE13P_0 | | | |
| C8 | 0 | IO_BE13N_VREF_0 | | | |
| C11 | 0 | IO_BE14P_0 | | | |
| A11 | 0 | IO_BE14N_0 | | | |

| 编号 | BANK | 引脚说明 | 编号 | BANK | 引脚说明 |
|-----|------|---------------------|-----|------|---------------------|
| E13 | 1 | IO_L1P_1 | K14 | 1 | IO_L14N_GCLKIOL_4_1 |
| E12 | 1 | IO_L1N_VREF_1 | K12 | 1 | IO_L15P_GCLKIOL_3_1 |
| B15 | 1 | IO_L2P_1 | K11 | 1 | IO_L15N_GCLKIOL_2_1 |
| B16 | 1 | IO_L2N_1 | J14 | 1 | IO_L16P_GCLKIOL_1_1 |
| F12 | 1 | IO_L3P_1 | J16 | 1 | IO_L16N_GCLKIOL_0_1 |
| G11 | 1 | IO_L3N_1 | K15 | 1 | IO_L17P_1 |
| D14 | 1 | IO_L4P_1 | K16 | 1 | IO_L17N_1 |
| D16 | 1 | IO_L4N_1 | N14 | 1 | IO_L18P_1 |
| F13 | 1 | IO_L5P_1 | N16 | 1 | IO_L18N_1 |
| F14 | 1 | IO_L5N_1 | M15 | 1 | IO_L19P_1 |
| C15 | 1 | IO_L6P_1 | M16 | 1 | IO_L19N_1 |
| C16 | 1 | IO_L6N_1 | L14 | 1 | IO_L20P_1 |
| E15 | 1 | IO_L7P_1 | L16 | 1 | IO_L20N_1 |
| E16 | 1 | IO_L7N_1 | P15 | 1 | IO_L21P_1 |
| F15 | 1 | IO_L8P_1 | P16 | 1 | IO_L21N_1 |
| F16 | 1 | IO_L8N_1 | R15 | 1 | IO_L22P_1 |
| G14 | 1 | IO_L9P_1 | R16 | 1 | IO_L22N_1 |
| G16 | 1 | IO_L9N_1 | R14 | 1 | IO_L23P_1 |
| H15 | 1 | IO_L10P_1 | T15 | 1 | IO_L23N_1 |
| H16 | 1 | IO_L10N_1 | T14 | 1 | IO_L24P_1 |
| G12 | 1 | IO_L11P_1 | T13 | 1 | IO_L24N_1 |
| H11 | 1 | IO_L11N_1 | R12 | 1 | IO_L25P_1 |
| H13 | 1 | IO_L12P_1 | T12 | 1 | IO_L25N_1 |
| H14 | 1 | IO_L12N_1 | L12 | 1 | IO_L26P_1 |
| J11 | 1 | IO_L13P_GCLKIOL_7_1 | L13 | 1 | IO_L26N_VREF_1 |
| J12 | 1 | IO_L13N_GCLKIOL_6_1 | M13 | 1 | IO_AWAKE_1 |
| J13 | 1 | IO_L14P_GCLKIOL_5_1 | M14 | 1 | IO_DOUT_BUSY_1 |

| 编号 | BANK | 引脚说明 | 编号 | BANK | 引脚说明 |
|-----|------|--------------------------------|----|------|-----------------|
| R11 | 2 | IO_CCLK_2 | R5 | 2 | IO_TE14P_D7_2 |
| T11 | 2 | IO_M0_2 | T5 | 2 | IO_TE14N_VREF_2 |
| M12 | 2 | IO_TE2P_GPLL1_CLKIN0_ADC_CH4_2 | N5 | 2 | IO_TE15P_D3_2 |
| M11 | 2 | IO_TE2N_GPLL1_CLKIN1_ADC_CH7_2 | P5 | 2 | IO_TE15N_D4_2 |
| P10 | 2 | IO_D0_DIN_MISO_2 | L8 | 2 | IO_TE16P_D5_2 |
| T10 | 2 | IO_MOSI_CSI_B_2 | L7 | 2 | IO_TE16N_D6_2 |
| N12 | 2 | IO_TE4P_ADC_CH5_D1_2 | P4 | 2 | IO_TE17P_2 |
| P12 | 2 | IO_TE4N_ADC_CH6_D2_2 | T4 | 2 | IO_TE17N_2 |
| N11 | 2 | IO_TE5P_M1_ADC_CH0_2 | M6 | 2 | IO_TE18P_2 |
| P11 | 2 | IO_TE5N_ADC_CH2_VREF_2 | N6 | 2 | IO_TE18N_2 |
| N9 | 2 | IO_TE6P_2 | R3 | 2 | IO_INIT_B_2 |
| P9 | 2 | IO_TE6N_2 | T3 | 2 | IO_CSO_B_2 |
| L10 | 2 | IO_TE7P_ADC_CH1_2 | | | |
| M10 | 2 | IO_TE7N_ADC_CH3_2 | | | |
| R9 | 2 | IO_TE8P_2 | | | |
| T9 | 2 | IO_TE8N_2 | | | |
| M9 | 2 | IO_TE9P_GCLKIOT_3_2 | | | |
| N8 | 2 | IO_TE9N_GCLKIOT_2_2 | | | |
| P8 | 2 | IO_TE10P_GCLKIOT_1_2 | | | |
| T8 | 2 | IO_TE10N_GCLKIOT_0_2 | | | |
| P7 | 2 | IO_TE11P_GCLKIOT_7_2 | | | |
| M7 | 2 | IO_TE11N_GCLKIOT_6_2 | | | |
| R7 | 2 | IO_TE12P_GCLKIOT_5_2 | | | |
| T7 | 2 | IO_TE12N_GCLKIOT_4_2 | | | |
| P6 | 2 | IO_TE13P_2 | | | |
| T6 | 2 | IO_TE13N_2 | | | |

| 编号 | BANK | 引脚说明 | 编号 | BANK | 引脚说明 |
|----|------|-----------------------|----|------|---------------------|
| M4 | 3 | IO_R1P_3 | H5 | 3 | IO_R14N_GCLKIOR_2_3 |
| M3 | 3 | IO_R1N_VREF_3 | H4 | 3 | IO_R15P_GCLKIOR_1_3 |
| M5 | 3 | IO_R2P_3 | H3 | 3 | IO_R15N_GCLKIOR_0_3 |
| N4 | 3 | IO_R2N_3 | L4 | 3 | IO_R16P_3 |
| R2 | 3 | IO_R3P_GPLL2_CLKIN0_3 | L5 | 3 | IO_R16N_3 |
| R1 | 3 | IO_R3N_GPLL2_CLKIN1_3 | E2 | 3 | IO_R17P_3 |
| P2 | 3 | IO_R4P_3 | E1 | 3 | IO_R17N_3 |
| P1 | 3 | IO_R4N_3 | K5 | 3 | IO_R18P_3 |
| N3 | 3 | IO_R5P_3 | K6 | 3 | IO_R18N_3 |
| N1 | 3 | IO_R5N_3 | C3 | 3 | IO_R19P_3 |
| M2 | 3 | IO_R6P_3 | C2 | 3 | IO_R19N_3 |
| M1 | 3 | IO_R6N_3 | D3 | 3 | IO_R20P_3 |
| L3 | 3 | IO_R7P_3 | D1 | 3 | IO_R20N_3 |
| L1 | 3 | IO_R7N_3 | C1 | 3 | IO_R21P_3 |
| K2 | 3 | IO_R8P_3 | B1 | 3 | IO_R21N_3 |
| K1 | 3 | IO_R8N_3 | G6 | 3 | IO_R22P_3 |
| J3 | 3 | IO_R9P_3 | G5 | 3 | IO_R22N_3 |
| J1 | 3 | IO_R9N_3 | B2 | 3 | IO_R23P_3 |
| H2 | 3 | IO_R10P_3 | A2 | 3 | IO_R23N_3 |
| H1 | 3 | IO_R10N_3 | F4 | 3 | IO_R24P_3 |
| G3 | 3 | IO_R11P_3 | F3 | 3 | IO_R24N_3 |
| G1 | 3 | IO_R11N_3 | E4 | 3 | IO_R25P_3 |
| F2 | 3 | IO_R12P_GCLKIOR_7_3 | E3 | 3 | IO_R25N_3 |
| F1 | 3 | IO_R12N_GCLKIOR_6_3 | F6 | 3 | IO_R26P_3 |
| K3 | 3 | IO_R13P_GCLKIOR_5_3 | F5 | 3 | IO_R26N_3 |
| J4 | 3 | IO_R13N_GCLKIOR_4_3 | B3 | 3 | IO_R27P_3 |
| J6 | 3 | IO_R14P_GCLKIOR_3_3 | A3 | 3 | IO_R27N_3 |

| 编号 | BANK | 引脚说明 | 编号 | BANK | 引脚说明 |
|-----|------|--------------|-----|------|--------|
| P13 | 1 | IO_DONE | L9 | - | VCCAUX |
| T2 | 2 | IO_PROGRAM_B | G7 | - | VCCINT |
| P14 | 1 | IO | G9 | - | VCCINT |
| C14 | 0 | TCK | H10 | - | VCCINT |
| C12 | 0 | TDI | H8 | - | VCCINT |
| E14 | 1 | TDO | J7 | - | VCCINT |
| A15 | 1 | TMS | J9 | - | VCCINT |
| L11 | - | ADC_VREF | K10 | - | VCCINT |
| B13 | - | VCCO_0 | K8 | - | VCCINT |
| B4 | - | VCCO_0 | A1 | | GND |
| B9 | - | VCCO_0 | A16 | | GND |
| D10 | - | VCCO_0 | B11 | | GND |
| D7 | - | VCCO_0 | B7 | | GND |
| D15 | - | VCCO_1 | D13 | | GND |
| G13 | - | VCCO_1 | D4 | | GND |
| J15 | - | VCCO_1 | E9 | | GND |
| K13 | - | VCCO_1 | G15 | | GND |
| N15 | - | VCCO_1 | G2 | | GND |
| R13 | - | ADC_VDDA | G8 | | GND |
| N10 | - | VCCO_2 | H12 | | GND |
| N7 | - | VCCO_2 | H7 | | GND |
| R4 | - | VCCO_2 | H9 | | GND |
| R8 | - | VCCO_2 | J5 | | GND |
| D2 | - | VCCO_3 | J8 | | GND |
| G4 | - | VCCO_3 | K7 | | GND |
| J2 | - | VCCO_3 | K9 | | GND |
| K4 | - | VCCO_3 | L15 | | GND |
| N2 | - | VCCO_3 | L2 | | GND |
| E5 | - | VCCAUX | M8 | | GND |

| | | | | | |
|-----|---|--------|-----|---|-----|
| F11 | - | VCCAUX | N13 | - | GND |
| F8 | - | VCCAUX | P3 | - | GND |
| G10 | - | VCCAUX | R10 | | GND |
| H6 | - | VCCAUX | R6 | | GND |
| J10 | - | VCCAUX | T1 | | GND |
| L6 | - | VCCAUX | T16 | | GND |

注 1: 在芯片内部 ADC_VDDD 与 VCCIO2 固定连接, 当使用 ADC 时, BANK2 电压应不低于 ADC 模拟电源电压

注 2: 当 sel_pwr=0 时, 电源监控模块监控的是 BANK3, 当 sel_pwr=1 时, 监控的是 BANK2 的电压。

4.4 EG4A20BG256 引脚说明

| 编号 | BANK | 引脚说明 | 编号 | BANK | 引脚说明 |
|----|------|---------------------|----|------|--------------------|
| D4 | 1 | IO_L1P_1 | M2 | 2 | IO_L1P_GCLKIOL_5_2 |
| B1 | 1 | IO_L1N_1 | M1 | 2 | IO_L1N_GCLKIOL_4_2 |
| C1 | 1 | IO_L_MOSI_1 | J1 | 2 | IO_L2N_GCLKIOL_6_2 |
| C2 | 1 | IO_L_1 | J2 | 2 | IO_L2P_GCLKIOL_7_2 |
| E5 | 1 | IO_L3P_1 | K1 | 2 | IO_L3N_2 |
| F5 | 1 | IO_L3N_1 | K2 | 2 | IO_L3P_2 |
| D1 | 1 | IO_L_1 | J6 | 2 | IO_L_2 |
| D2 | 1 | IO_SPICSN_1 | L1 | 2 | IO_L4N_2 |
| G5 | 1 | IO_L5P_1 | L2 | 2 | IO_L4P_2 |
| G4 | 1 | IO_L5N_1 | L3 | 2 | IO_L5N_VREF_2 |
| F4 | 1 | IO_INITN_1 | R1 | 2 | IO_L5P_2 |
| F3 | 1 | IO_VREF_1 | K5 | 2 | IO_L6N_2 |
| F2 | 1 | IO_L7P_1 | L4 | 2 | IO_L6P_2 |
| F1 | 1 | IO_L7N_1 | N1 | 2 | IO_L7N_2 |
| H3 | 1 | IO_L8P_TCK_1 | N2 | 2 | IO_L7P_2 |
| H4 | 1 | IO_L8N_TDI_1 | L6 | 2 | IO_L8N_2 |
| H5 | 1 | IO_L9N_PROGRAMN_1 | K6 | 2 | IO_L8P_2 |
| J5 | 1 | IO_L9P_TMS_1 | N4 | 2 | IO_L_2 |
| H2 | 1 | IO_L_DATA0_1 | P2 | 2 | IO_L9P_2 |
| H1 | 1 | IO_L_CCLK_1 | P1 | 2 | IO_L9N_2 |
| J3 | 1 | IO_L11N_Nce_1 | | | |
| J4 | 1 | IO_L11P_TDO_1 | | | |
| G2 | 1 | IO_L12P_GCLKIOL_3_1 | | | |
| G1 | 1 | IO_L12N_GCLKIOL_2_1 | | | |
| E1 | 1 | IO_GCLKIOL_0_1 | | | |

| 编号 | BANK | 引脚说明 | 编号 | BANK | 引脚说明 |
|----|------|------------------------|-----|------|-----------------------|
| P3 | 3 | IO_BE1N_GPLL0_CLKIN1_3 | R8 | 4 | IO_BE1P_GCLKIOB_7_4 |
| N3 | 3 | IO_BE1P_GPLL0_CLKIN0_3 | T8 | 4 | IO_BE1N_GCLKIOB_6_4 |
| M6 | 3 | IO_BE2P_3 | T9 | 4 | IO_BE2N_GCLKIOB_2_4 |
| L7 | 3 | IO_BE2N_3 | R9 | 4 | IO_BE2P_GCLKIOB_3_4 |
| P6 | 3 | IO_BE3N_3 | R10 | 4 | IO_BE3P_4 |
| T2 | 3 | IO_BE3P_3 | T10 | 4 | IO_BE3N_4 |
| R3 | 3 | IO_BE4P_3 | P9 | 4 | IO_BE4N_4 |
| T3 | 3 | IO_BE4N_3 | P11 | 4 | IO_BE4P_4 |
| T4 | 3 | IO_BE5N_GPLL0_OUTN_3 | M9 | 4 | IO_BE5P_4 |
| R4 | 3 | IO_BE5P_GPLL0_OUTP_3 | N9 | 4 | IO_BE5N_4 |
| N6 | 3 | IO_BE6N_3 | L9 | 4 | IO_BE6N_4 |
| N5 | 3 | IO_BE6P_3 | K9 | 4 | IO_BE6P_4 |
| R5 | 3 | IO_BE7P_3 | T11 | 4 | IO_BE7N_4 |
| T5 | 3 | IO_BE7N_3 | R11 | 4 | IO_BE7P_4 |
| T6 | 3 | IO_BE8N_3 | M10 | 4 | IO_BE8P_4 |
| R6 | 3 | IO_BE8P_3 | N11 | 4 | IO_BE8N_4 |
| R7 | 3 | IO_BE9P_3 | L10 | 4 | IO_BE9N_4 |
| T7 | 3 | IO_BE9N_3 | K10 | 4 | IO_BE9P_4 |
| K8 | 3 | IO_BE10N_3 | T12 | 4 | IO_BE10N_GPLL3_OUTN_4 |
| M7 | 3 | IO_BE10P_3 | R12 | 4 | IO_BE10P_GPLL3_OUTP_4 |
| N8 | 3 | IO_BE11P_GCLKIOB_1_3 | R13 | 4 | IO_BE11P_4 |
| P8 | 3 | IO_BE11N_GCLKIOB_0_3 | T13 | 4 | IO_BE11N_4 |
| M8 | 3 | IO_BE12N_GCLKIOB_4_3 | N12 | 4 | IO_BE12N_4 |
| L8 | 3 | IO_BE12P_GCLKIOB_5_3 | M11 | 4 | IO_BE12P_4 |
| | | | T14 | 4 | IO_BE13P_4 |
| | | | T15 | 4 | IO_BE13N_4 |
| | | | L11 | 4 | IO_BE14N_4 |
| | | | P14 | 4 | IO_BE14P_4 |
| | | | | | |

| 编号 | BANK | 引脚说明 | 编号 | BANK | 引脚说明 |
|-----|------|-----------------------|-----|------|------------------------|
| R14 | 5 | IO_R1N_GPLL3_CLKIN1_5 | H15 | 6 | IO_R1P_GCLKIOR_3_6 |
| P15 | 5 | IO_R1P_GPLL3_CLKIN0_5 | H16 | 6 | IO_R1N_GCLKIOR_2_6 |
| R16 | 5 | IO_R2P_5 | E16 | 6 | IO_R2N_GCLKIOR_4_6 |
| P16 | 5 | IO_R2N_5 | E15 | 6 | IO_R2P_GCLKIOR_5_6 |
| N13 | 5 | IO_R3N_5 | G15 | 6 | IO_R3P_6 |
| N14 | 5 | IO_R3P_5 | G16 | 6 | IO_R3N_6 |
| N15 | 5 | IO_R4P_5 | H13 | 6 | IO_R_MSEL0_6 |
| N16 | 5 | IO_R4N_5 | H14 | 6 | IO_R_DONE_6 |
| M12 | 5 | IO_R5P_5 | G12 | 6 | IO_R5P_MSEL2_6 |
| L12 | 5 | IO_R5N_5 | H12 | 6 | IO_R5N_MSEL1_6 |
| L13 | 5 | IO_R6P_5 | F15 | 6 | IO_R_6 |
| L14 | 5 | IO_R6N_5 | F16 | 6 | IO_R_DOUT_6 |
| L15 | 5 | IO_R7P_5 | F13 | 6 | IO_R7P_6 |
| L16 | 5 | IO_R7N_5 | G11 | 6 | IO_R7N_6 |
| K15 | 5 | IO_R8P_5 | D16 | 6 | IO_R8N_6 |
| K16 | 5 | IO_R8N_5 | D15 | 6 | IO_R8P_6 |
| J11 | 5 | IO_R9P_5 | C16 | 6 | IO_R9N_6 |
| K11 | 5 | IO_R9N_5 | C15 | 6 | IO_R9P_6 |
| K12 | 5 | IO_R10P_5 | B16 | 6 | IO_R10N_6 |
| J13 | 5 | IO_R10N_5 | F14 | 6 | IO_R10P_VREF_6 |
| J12 | 5 | IO_R11P_5 | D13 | 6 | IO_R_6 |
| J14 | 5 | IO_R11N_5 | A15 | 6 | IO_R11P_GPLL2_CLKIN0_6 |
| J15 | 5 | IO_R12P_GCLKIOR_7_5 | F11 | 6 | IO_R11N_GPLL2_CLKIN1_6 |
| J16 | 5 | IO_R12N_GCLKIOR_6_5 | | | |
| M16 | 5 | IO_R13N_GCLKIOR_0_5 | | | |
| M15 | 5 | IO_R13P_GCLKIOR_1_5 | | | |

| 编号 | BANK | 引脚说明 | 编号 | BANK | 引脚说明 |
|-----|------|----------------------|----|------|--------------------------------|
| D14 | 7 | IO_TE1P_7 | A9 | 7 | IO_TE14N_GCLKIOT_6_7 |
| C14 | 7 | IO_TE1N_7 | A8 | 7 | IO_TE15N_GCLKIOT_4_7 |
| A14 | 7 | IO_TE2N_GPLL2_OUTN_7 | B8 | 7 | IO_TE15P_GCLKIOT_5_7 |
| B14 | 7 | IO_TE2P_GPLL2_OUTP_7 | B6 | 7 | IO_TE16P_GCLKIOT_1_7 |
| B13 | 7 | IO_TE3P_7 | A6 | 7 | IO_TE16N_GCLKIOT_0_7 |
| A13 | 7 | IO_TE3N_7 | E8 | 7 | IO_TE17N_D2_GCLKIOT_2_7 |
| D11 | 7 | IO_TE4N_7 | F8 | 7 | IO_TE17P_D3_GCLKIOT_3_7 |
| D12 | 7 | IO_TE4P_7 | A5 | 8 | IO_TE1P_D7_8 |
| B12 | 7 | IO_TE5P_7 | C6 | 8 | IO_TE1N_8 |
| A12 | 7 | IO_TE5N_7 | E7 | 8 | IO_TE2N_D5_8 |
| C11 | 7 | IO_TE6P_VREF_7 | E6 | 8 | IO_TE2P_D6_8 |
| E11 | 7 | IO_TE6N_7 | D6 | 8 | IO_TE3P_8 |
| A11 | 7 | IO_TE7N_7 | D5 | 8 | IO_TE3N_8 |
| B11 | 7 | IO_TE7P_7 | F6 | 8 | IO_TE4N_GPLL1_OUTN_8 |
| B10 | 7 | IO_TE8P_7 | F7 | 8 | IO_TE4P_GPLL1_OUTP_8 |
| A10 | 7 | IO_TE8N_7 | B4 | 8 | IO_TE5P_ADC_CH1_8 |
| F10 | 7 | IO_TE9N_7 | A4 | 8 | IO_TE5N_ADC_CH3_8 |
| F9 | 7 | IO_TE9P_7 | A3 | 8 | IO_TE6N_ADC_CH2_8 |
| E10 | 7 | IO_TE10P_7 | B3 | 8 | IO_TE6P_ADC_CH0_8 |
| E9 | 7 | IO_TE10N_7 | E2 | 8 | ADC_VREF |
| C9 | 7 | IO_TE11N_7 | B5 | 8 | IO_TE7P_ADC_CH5_8 |
| D9 | 7 | IO_TE11P_7 | A2 | 8 | IO_TE7N_ADC_CH7_8 |
| B7 | 7 | IO_TE12P_D4_7 | C3 | 8 | IO_TE8N_GPLL1_CLKIN1_ADC_CH6_8 |
| A7 | 7 | IO_TE12N_7 | D3 | 8 | IO_TE8P_GPLL1_CLKIN0_ADC_CH4_8 |
| C8 | 7 | IO_TE13N_7 | | | |
| D8 | 7 | IO_TE13P_7 | | | |
| B9 | 7 | IO_TE14P_GCLKIOT_7_7 | | | |

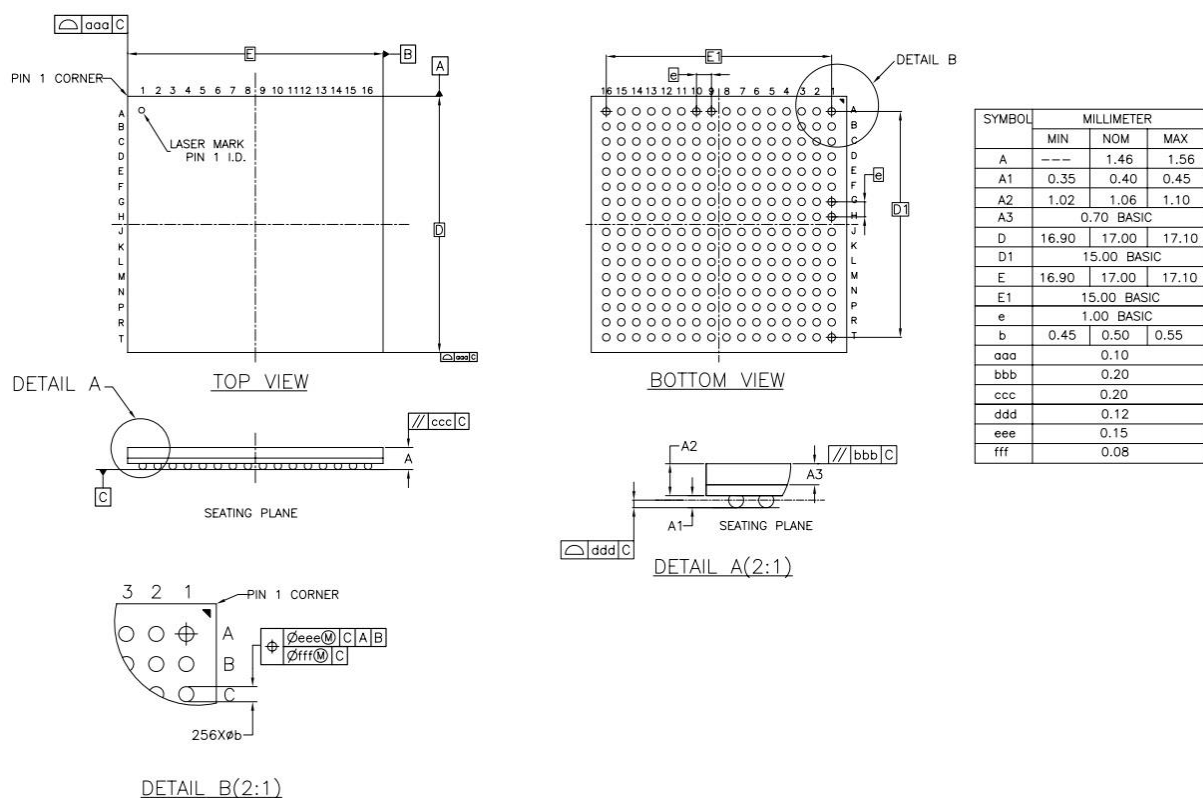
| 编号 | BANK | 引脚说明 | 编号 | BANK | 引脚说明 |
|-----|------|-----------|-----|------|----------|
| B2 | - | GND | F12 | - | VCCAUX |
| B15 | - | GND | L5 | - | VCCAUX |
| C12 | - | GND | G6 | - | VCCINT |
| D7 | - | ADC_VSSA | G7 | - | VCCINT |
| D10 | - | GND | G8 | - | VCCINT |
| E4 | - | GND | G9 | - | VCCINT |
| E13 | - | GND | G10 | - | VCCINT |
| G13 | - | GND | H6 | - | VCCINT |
| H7 | - | GND | H11 | - | VCCINT |
| H8 | - | GND | K7 | | VCCINT |
| H9 | - | GND | E3 | - | VCCIO1 |
| H10 | - | GND | G3 | - | VCCIO1 |
| J7 | - | GND | K3 | - | VCCIO2 |
| J8 | - | GND | M3 | - | VCCIO2 |
| J9 | - | GND | P4 | - | VCCIO3 |
| J10 | - | GND | P7 | - | VCCIO3 |
| K4 | - | GND | T1 | - | VCCIO3 |
| K13 | - | GND | P10 | - | VCCIO4 |
| M4 | - | GND | P13 | - | VCCIO4 |
| N7 | - | GND | T16 | - | VCCIO4 |
| N10 | - | GND | K14 | - | VCCIO5 |
| P5 | - | GND | M14 | - | VCCIO5 |
| P12 | - | GND | E14 | - | VCCIO6 |
| R2 | - | GND | G14 | - | VCCIO6 |
| R15 | - | GND | A16 | - | VCCIO7 |
| M5 | - | GND_PLLA0 | C10 | - | VCCIO7 |
| E12 | - | GND_PLLA2 | C13 | - | VCCIO7 |
| C5 | | GND_PLLA1 | C4 | - | VCCIO8 |
| M13 | | GND_PLLA3 | C7 | - | VCCIO8 |
| | - | | A1 | - | ADC_VDDA |

注 1: 在芯片内部 ADC_VDDD 与 VCCIO8 固定连接, 当使用 ADC 时, BANK8 电压应不低于 ADC 模拟电源电压

注 2: 当 sel_pwr =0 时, 电源监控模块监控的是 BANK8, 当 sel_pwr =1 时, 监控的是 BANK1 的电压。

4.5 封装信息

4.5.1 fbga256 封装规格



5 订购信息

表 5- 1 器件号缩写

| 器件名称 | 类别 | 查找表容量 | 封装类型 | 温度等级 |
|------|----|-------|-------|------|
| EG4 | A | 10 | BG256 | C |

■ 产品系列

✧ EAGLE 系列

■ 类别

✧ A A 型 IO 布局

✧ X X 型 IO 布局

✧ L L 型 IO 布局

■ 查找表容量

✧ 10 10K 查找表

✧ 20 20K 查找表

✧ 50 50K 查找表

■ 封装类型: <类型><#>

✧ LG LQFP

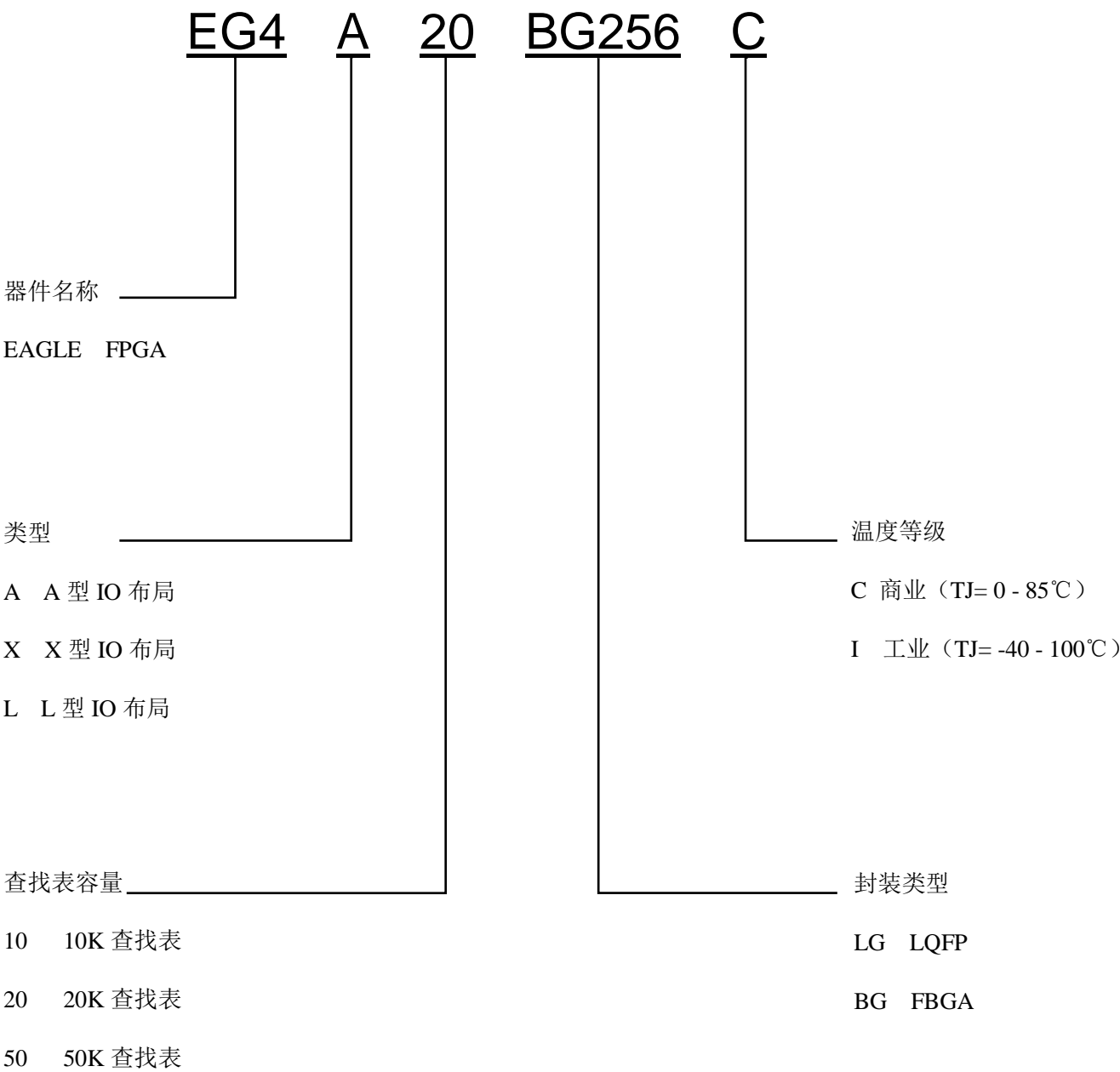
✧ BG FBGA

✧ # 引脚数 (256 指 256 个引脚)

■ 温度等级

✧ C 商业 (TJ = 0 – 85 °C)

✧ I 工业 (TJ = -40 – 100 °C)



6 版本信息

| 日期 | 版本 | 修订记录 |
|------------|-----|---|
| 2016/4/5 | 1.0 | 首次发布中文版 |
| 2016/11/11 | 1.1 | 更新封装信息 |
| 2016/12/7 | 1.2 | 更新 ADC 特殊功能引脚说明 |
| 2017/2/15 | 1.3 | 更新封装信息 |
| 2017/3/9 | 1.4 | 更新配置模块信息 |
| 2017/5/2 | 1.5 | 改正 RAM 信息错误, 改正配置波形错误 |
| 2017/5/14 | 1.6 | 改正 A 封装 LVDS 对标示错误 |
| 2017/5/26 | 1.7 | 改正 A 封装部分 IO 标示错误 |
| 2017/9/1 | 1.8 | 完善 ADC IP 相关时序图 |
| 2017/11/14 | 1.9 | 改正双功能引脚的 LVDS 电平可用性错误 |
| 2018/5/23 | 2.0 | 修正 EG4X20 器件的引脚表错误 |
| 2018/5/28 | 2.1 | 删除速度等级的描述 |
| 2018/6/6 | 2.2 | 添加 ADC 所在 BANK 电压要求等功能描述 |
| 2018/6/21 | 2.3 | 修改文档格式 |
| 2018/7/10 | 2.4 | 修改了 IOB 简介部分的描述, 删除了 144 封装的说明 |
| 2018/8/7 | 2.5 | 删除 MS 配置说明 |
| 2018/8/10 | 2.6 | 修正引脚标识 |
| 2018/8/30 | 2.7 | 添加动态相移时钟与脉宽说明 |
| 2018/9/6 | 2.8 | 文档格式统一化, 增加 PLL 使用建议、IO 引脚在配置过程中的状态等 |
| 2018/11/20 | 2.9 | 修改 TRUE LVDS 输出示意图, 增加 ADC 复用引脚不支持热插拔说明 |
| 2019/1/16 | 3.0 | 更新器件选型表与订购信息 |
| 2019/1/29 | 3.1 | 更新电源监控模块监控电平 |
| 2019/2/12 | 3.2 | 添加 JTAG 时序规格 |
| 2019/2/20 | 3.3 | 修改图 2-9-5EG4X 从动串行配置时序图、图 2-9-12 从动并行配置时序图 添加表 2-9-3、表 2-9-4 从动串行与从动并行时序规格, 更新表 3-1-11 差分推荐条件表中差分输入摆幅 |
| 2019/2/27 | 3.4 | 添加表 3-1- 12 EAGLE LVPECL 推荐操作条件 |
| 2019/3/6 | 3.5 | 删除表 3-1- 7 推荐基本操作条件中关于施密特触发器的描述 |

版权所有©2019 上海安路信息科技有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除安路科技在其产品的销售条款和条件中声明的责任之外，安路科技概不承担任何法律或非法律责任。安路科技对安路科技产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。安路科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，安路科技保留修改文档中任何内容的权利，恕不另行通知。安路科技不承诺对这些文档进行适时的更新。